



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학전문석사 학위 연구보고서

DRAM Capacitor의 유전율 향상을
위한 $\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{TiO}_2$ 박막의
전기적, 구조적 특성 연구

Study on Electrical and Structural Characteristics
of $\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{TiO}_2$ Thin Films with High Dielectric
Constant for DRAM Capacitors

2019년 2월

서울대학교 공학전문대학원

응용공학과 응용공학전공

차 순 형

국문초록

DRAM 소자는 혁신적인 기술 개발로 계속 미세화되어 10nm 시대에 도달하였다. 이에 따라서 DRAM의 DATA를 저장하는 셀 커패시터(Cell capacitor)는 작게 만들어야 하는 물리적 한계를 갖지만 높은 정전용량과 낮은 누설전류 특성을 유지하도록 요구된다. 이를 충족시키기 위해서는 현재 양산 제품에 사용되는 ZAZ($\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{ZrO}_2$)구조의 유전막은 한계점이 있다. 얇아진 ZrO_2 층의 두께로는 결정화되기 어렵기 때문에 낮은 유전상수($k \sim 25$)를 나타낸다. 높은 유전율을 갖는 물질들이 새로운 대안으로 부각되지만 물리적인 두께와 복잡한 공정의 문제로 현재는 양산 공정에 적용되기에는 문제가 많다.

이 실험에서는 현재 DRAM 소자에서 사용중인 ZAZ 유전막과 비교하여 전기적 특성이 우수한 차세대 유전막인 ZAT($\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{TiO}_2$)구조를 평가하였다. 정전용량을 높이기 위하여 TiO_2 를 high-k 유전체층(anatase 40, Rutile 83-100)으로 도입하고자 한다. 그러나 작은 밴드갭(Band gap)을 갖기 때문에 TiO_2 (3.4eV)는 단일 유전체층으로 사용하는 것은 높은 누설전류 특성으로 어려움이 있다. 따라서 TiN 전극을 사용하는 ZAZ 구조에서 하부 ZrO_2 층은 그대로 동등한 누설 전류 특성을 유지하면서 등가 산화막 두께(EOT, Equivalent Oxide Thickness)를 더 낮출 수 있는 TiO_2 층을 적용 하였다.

우선 TiN 전극을 사용하여 ZAZ와 ZAT 유전막을 동일한 공정조건으로 증착하여 ZAT 유전막의 정전용량이 더욱 높아짐을 확인하였으며 누설전류도 낮은 수준을 유지함을 확인하였다. 하지만 공정 적용을 위한 박막화 평가에서는 전체유전막 두께를 얇게 증착할수록 점점 누설전류 특성이 열화됨을 확인하였다. EOT를 낮추기 위하여 열처리(RTA, rapid thermal annealing)공정을 적용하여

유전막의 결정화를 돕도록 하였다. 이를 통하여 더욱 낮은 EOT 두께를 확인하였으나 여전히 높은 누설전류 특성이 문제점으로 나타났다. ZAT 유전막의 높은 정전용량은 TiO_2 박막의 고유전율에서 기인한 것으로 판단되었으며 이를 분석하기 위하여 다양한 두께의 ZAT 소자를 이용하였다. 물리적 두께와 등가 산화막 두께 그래프 기울기를 통하여 TiO_2 박막의 유전상수를 40.9로 분석하였으며 XRD(X-ray diffraction) 분석 결과로 TiO_2 층이 anatase 결정구조를 갖고 있음을 확인하였다. 또한 투과전자현미경(TEM)을 이용한 분석으로 각 층의 결정화 및 박막 구조를 확인 할 수 있었다. TiO_2 박막의 특성을 확인 한 후 분석된 데이터를 바탕으로 전기적 특성을 개선하기 위한 증착 구조를 고찰해보고 양산 공정 적용가능성에 대하여 확인해보았다. 이에 따라 개선 평가는 ZrO_2 와 TiO_2 의 두께비율 변화와 Al_2O_3 박막의 두께 및 위치를 변경하여 진행하였다. $\text{ZrO}_2 : \text{TiO}_2$ 두께비율 1:1에서 2:1로의 변화와 Al_2O_3 두께 향상을 통해 일부 시료에서 누설전류 감소 효과를 확인하였으며, 총 2cycle의 Al_2O_3 박막 두께로의 위치 변화에 따른 효과는 미비하였다. ZAT의 전기적 특성 최적화를 위하여 두께비 변화와 Al_2O_3 두께 향상을 통하여, 물리적 두께 7.5nm의 유전막에서 EOT 0.68nm, 누설전류 10^{-8}A/cm^2 (@ +0.8V) 수준의 특성을 확보하였다.

이 연구를 통하여 DRAM capacitor 의 ZAZ 유전막을 대체할 차세대 유전막으로써 ZAT 의 전기적, 구조적 특성을 분석하였으며 향후 최적화된 증착 조건을 통하여 더 우수한 유전막을 얻을 수 있는 가능성을 확인하였다.

주요어 : DRAM, 캐패시터, 원자층증착법(ALD), TiO_2 , high k, ZrO_2

학 번 :2017-24863

차순형

표 목차

[Table 4.1] ZAT 유전막의 투과전자현미경을 이용한 FFT 패턴 분석 결과	49
[Table 4.2] Al_2O_3 막질의 두께와 위치를 평가한 시료의 증착 조건표	57
[Table 4.3] 적층구조 최적화 평가 시료의 증착 조건표	60

그림 목차

[Figure 2.1] 일반적인 ALD 공정의 증착 4단계 모식도 ^[5]	6
[Figure 2.2] DRAM 미세화 로드맵 (inset : one-pillar 커패시터 특성) ^[10]	9
[Figure 2.3] 일반적인 TiO ₂ 물질의 결정구조 (a) rutile (b) anatase (c) brookite 그림. (파란색 구형은 Ti 원자 빨간색 구형은 산소 원자를 표현) ^[14]	11
[Figure 3.1] TiN-ZAT(ZrO ₂ /Al ₂ O ₃ /TiO ₂)-TiN 의 MIM 적층 구조	13
[Figure 3.2] 대표적인 유전막의 밴드갭 에너지 비교 ^[15]	14
[Figure 3.3] ALD system 의 구성도	17
[Figure 3.4] Tetrakis(ethylmenthylamino) Zirconium, Zr[N(CH ₃)C ₂ H ₅] ₄ 의 분자 구조	21
[Figure 3.5] Trimethyl Aluminum, (CH ₃) ₃ Al 의 분자 구조	21
[Figure 3.6] Tetra(isopropoxy) Titanium, Ti[O(CH(CH ₂) ₂) ₂] ₄ 의 분자 구조	22
[Figure 3.7] (a) ZAT와 (b) ZAZ 유전막의 증착 공정 순서도	22
[Figure 4.1] 9nm 두께에서 ZAZ와 ZAT의 인가 전압에 따른 정전 용량 밀도 그래프 (C-V plot)	27
[Figure 4.2] 9nm 두께에서 ZAZ와 ZAT의 인가 전압에 따른 누설 전류밀도 그래프 (I-V plot)	27
[Figure 4.3] 박막화 평가에 따른 ZAZ와 ZAT의 인가 전압에 따른 정전용량밀도 그래프 (C-V plot)	30

[Figure 4.4] 박막화 평가에 따른 ZAZ와 ZAT의 인가 전압에 따른 누설전류밀도 그래프 (I-V plot)	31
[Figure 4.5] 박막화 평가에 따른 ZAZ와 ZAT의 등가 산화막 두께에 따른 누설전류밀도 그래프 (J-EOT plot).....	32
[Figure 4.6] 열처리 공정에 따른(a)9nm (b) 7nm (c) 5nm 두께의 ZAZ와 ZAT의 정전용량밀도 그래프 (C-V plot)	35
[Figure 4.7] 열처리 공정에 따른(a)9nm (b) 7nm (c) 5nm 두께의 ZAZ와 ZAT의 누설전류밀도 그래프 (I-V plot)	36
[Figure 4.8] 열처리 공정에 따른 두께별 등가 산화막 두께와 누설전류 밀도 그래프 (J-EOT plot)	37
[Figure 4.9] ZAT 유전막내의 TiO_2 박막의 물리적 두께에 따른 등가 산화막 두께 그래프 (t_{ox} vs t_{phy} plot)	39
[Figure 4.10] 9nm 두께의 ZAZ와 ZAT 유전막의 XRD 분석 결과.	42
[Figure 4.11] ZAT 유전막내의 TiO_2 박막의 두께별 XRD 분석 결과	43
[Figure 4.12] ZAT 유전막의 3단 적층 구조 와 XRD 분석 결과	44
[Figure 4.13] a)ZAZ 열처리전 (b) ZAZ 열처리후 (c)ZAT 열처리 전 (d) ZAT 열처리 후 박막의 AFM 이미지 결과	47
[Figure 4.14] TiN-ZAT-TiN 유전막의 TEM 이미지 결과.....	48
[Figure 4.15] ZrO_2 와 TiO_2 의 두께비를 2:1로 변경한 ZAT와 ZAZ 의 등가산화막에 따른 누설전류밀도 그래프(J-EOT plot) ..	53
[Figure 4.16] 두께비 2:1로 유전막 전체두께를 변경한 ZAT와 ZAZ 의 열처리 전,후 등가 산화막 두께와 누설전류밀도 그래프 (J-EOT plot)	54

[Figure 4.17] ZAT 유전막에서 Al_2O_3 막질의 두께와 위치를 평가한 적층 구조 그림	57
[Figure 4.18] Al_2O_3 막질의 두께와 위치에 따른 열처리 전 ZAT 유전막의 J-EOT 그래프.....	58
[Figure 4.19] Al_2O_3 막질의 두께와 위치에 따른 열처리 후 ZAT 유전막의 J-EOT 그래프.....	58
[Figure 4.20] 적층구조 최적화 실험의 열처리 전 ZAT 유전막 J-EOT 그래프.....	61
[Figure 4.21] 적층구조 최적화 실험의 열처리 후 ZAT 유전막 J-EOT 그래프.....	61

목 차

초록	i
표 목차	iii
그림 목차	iv
목차	vii
1. 서 론	1
2. 문헌 연구.....	4
2.1 원자층 증착법 (Atomic Layer deposition, ALD)	4
2.2 ZAZ ($\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{ZrO}_2$) 유전막	7
2.3 Properties of TiO_2	10
3. 실험 및 분석 방법	12
3.1 실험 설계	12
3.2 원자층 증착법 (ALD) system.....	15
3.3 상부, 하부 전극 TiN 증착	18
3.4 ALD를 이용한 $\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{TiO}_2$ (ZAT) 증착	19
3.5 유전막질의 열처리 공정	23
3.6 유전막 분석 방법	23

4. 결과 및 논의.....	25
4.1 고유전 물질로써의 TiO_2 박막 도입 평가.....	25
4.1.1 TiN 전극에서의 ZAZ와 ZAT 특성 비교 결과.....	25
4.1.2 ZAT 유전막의 박막화 평가 결과.....	28
4.1.3 열처리 공정에 따른 전기적 특성 결과.....	33
4.2 ZAT 유전막의 상부 TiO_2 박막 분석.....	38
4.2.1 상부 TiO_2 유전막의 유전율 확인.....	38
4.2.2 상부 TiO_2 유전막의 결정화 확인.....	40
4.2.3 ZAT 유전막의 구조 분석.....	45
4.3 DRAM Capacitor 적용을 위한 전기적 특성 개선 평가..	50
4.3.1 ZrO_2 층과 TiO_2 층의 두께 비율에 따른 특성.....	51
4.3.2 Al_2O_3 층의 위치와 두께에 따른 누설전류 특성.....	55
4.3.3 ZAT 유전막의 적층 구조 최적화 평가.....	59
5. 결론.....	62
참고문헌.....	65
List of Publications	68
Abstract	72

1. 서론

DRAM(Dynamic Random Access Memory)은 컴퓨터의 주기억장치로 사용되고 있는 반도체 소자이다. 최근에는 모바일 장치와 서버에서도 널리 사용되어 사용처가 더욱 늘어나고 있으며 DRAM 을 대체 할 수 있는 메모리가 개발되지 않고 있는 상황이다. 정보를 저장하는 최소 단위인 셀(Cell)은 같은 구조를 반복적으로 구성되어 있으며 스위치 역할을 하는 트랜지스터(transistor) 1 개와 전하를 저장하는 축전기(capacitor) 1 개로 구성된다. 각 축전기는 시간이 지남에 따라서 전자가 누설되어 저장된 정보를 잃게 되고 이를 막기 위하여 리프레시(refresh) 동작이 반드시 필요하다. DRAM 은 생산단가를 줄이고 집적도를 높이기 위하여 지속하여 공정 미세화가 진행되고 있으며, 제품의 특성과 신뢰성을 유지하면서 D/R(Design rule)을 줄이기 위하여 신공정과 신물질의 연구개발이 요구되고 있다.

DRAM 미세화에서 핵심기술은 이중/사중 패터닝과 Capacitor 유전막 증착 공정이다. 특히, 커패시터(capacitor) 공정의 미세화 난이도가 높기 때문에 양산성 확보에 어려움을 겪고 있다. 유전막내에 전하를 저장함으로써 데이터 “0” 과 “1” 을 구분하여 기억하는 capacitor 의 면적이 작아짐에 따라서 저장할 수 있는 전하의 수가 줄어들어 특성이 나빠진다. 이를 극복하기 위하여 OCS(One Cylinder Stacked)구조와 high aspect ratio 방법으로 표면적을 증가시키는 방법을 채택하여 개발하고 있지만 공정의 난이도가 점점 높아지는 문제점도 있다. 유전막의 두께를 낮추는 방법도 있지만 누설전류(leakage current) 문제로 현재 유전막 물질로 두께를 낮추는 방법에는 한계가 있다.

현재 DRAM capacitor 용 유전체로서 ZAZ($\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{ZrO}_2$)라는 복합 막질이 주로 사용되고 있지만 이는 미세화에 따른 물리적 한계에 봉착하게 될 것이다. 얇은 박막의 ZrO_2 는 결정화에 문제가 발생하고 있으며 이로 인하여 낮은 유전율을 갖게 된다. 결국 Capacitor 의 정전용량 감소로 데이터 저장의 능력이 감소될 것이다. 충분한 정전용량의 확보와 동시에 낮은 누설전류 특성을 갖는 고유전율(high-k) 물질의 도입이 필요하다.

고유전물질인 TiO_2 유전막은 상에 따라서 낮은 경우에는 유전상수 40(anatase), 높은 경우에는 80(rutile) 이상의 유전율을 보인다. 현재 연구되고 있는 TiO_2 유전막의 경우 고유전율을 갖는 rutile 상의 형성을 추구하나, 공정 온도와 상하부 전극막 등의 선택에 제약이 있다. 또한 낮은 누설 전류를 얻기 위해 사용하는 박막의 두꺼운 물리적 두께로 인해 실제 소자에 적용하기가 어렵다. 반면 상대적으로 낮은 유전율을 갖는 anatase 상은 누설전류 특성에서 rutile 상 보다 유리한 면이 있다. ZAZ 유전막의 상부 ZrO_2 박막은 결정성 문제로 인해 40 보다 낮은 유전율을 갖게 되는데, 이를 anatase 상의 TiO_2 박막으로 대체할 경우 보다 높은 유전율을 확보할 수 있다. 이에 따라서 현재 사용중인 ZAZ($\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{ZrO}_2$) 적층 구조에서 상부 유전층을 TiO_2 를 적용시킨 ZAT($\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{TiO}_2$) 적층 구조로 누설전류의 손실을 최소화하고 정전용량을 향상시키고자 한다.

본 연구에서는 높은 유전율을 갖는 anatase상의 TiO_2 박막을 도입한 ZAT 유전체에서의 향상된 등가산화물 두께(EOT:Equivalent Oxide Thickness)와 적정 수준의 누설전류(leakage current) 특성 결과를 확보하였다. 또한 Al_2O_3 막질의 위치와 두께 변화에 따른 누설전류 감소가

능성을 확인하였다. 현재 적용중인 DRAM Capacitor의 ZAZ 유전체를 대체 할 수 있는 ZAT 유전막의 가능성과 새로운 방향을 제시하고자 한다.

2. 문헌연구

2.1 원자층 증착법 (Atomic Layer Deposition, ALD)

ALD (Atomic Layer Deposition) 기술은 과거 1980년대에 Atomic Layer Epitaxy (ALE) 라는 기술로 처음 개발되었다. 당시 100 Å 이하의 박막을 증착할 수 있었지만 당시 반도체 공정에서는 1000 Å 두께의 기술만을 요구되었다. 하지만 최근 반도체는 크기가 감소하면서 나노 단위의 공정개발이 필수가 되었고 게이트 유전막 (Gate dielectric layer), 게이트 스페이서 (Gate spacer), 커패시터 유전막 (Capacitor dielectric) 및 전극막 (Electrode) 등 활용되고 있다. 이에 따라서 ALE 기술은 ALD 기술로 불리며 널리 상용화되었다. 향후 10nm급의 DRAM 공정에서는 더욱더 ALD 기술의 필요성이 증가 될 것이다. 기존에 얇은 막질을 증착하는 대표적인 기술인 PVD와 CVD와 비교해보면 ALD 공정이 step coverage가 높기 때문에 high aspect ratio를 갖는 구조에서 증착이 유리하다는 점이 있다. 또한 대부분 낮은 온도에서 공정이 가능하며 나노 단위의 얇은 박막 두께 조절 능력이 갖고 있고 함유되는 불순물의 양도 매우 적다는 강점이 있다. 하지만 단위자층을 반복적으로 증착하는 방식의 ALD 공정의 막질은 낮은 성장 속도로 공정시간이 길기 때문에 양산 공정에 불리하다는 단점이 있다.^{[1][2]}

ALD는 기상 전구체의 화학반응을 이용하는 화학 기상 증착법 (Chemical Vapor Deposition, CVD)의 일종이지만 CVD 방법과는 다르게 자기 제한적 반응 (self-limiting surface reaction)을 응용한다. 자기 제한적 반응은 전구체간 화학반응 없이 전구체와 표면의 반응만

일어나는 것을 말한다. 이와 같은 자기 제한적 반응으로 인하여 원자층 단위로 증착 공정이 이루어질 수 있다. ALD 공정은 증착의 기본 단위인 사이클(cycle)을 구성하여 진행된다. 이 사이클(cycle)의 반복과 여러 가지 조합으로 박막의 두께를 변경하거나 조성을 조절하기도 한다. Figure 2.1에서는 원자층 증착법의 사이클을 도시화하였다. 2성분계 ALD cycle은 전구체 주입(precursor pulse), 전구체 퍼지(precursor purge), 반응물 주입(reactant pulse), 반응물 퍼지(reactant purge)의 순서로 4가지 단계의 세부공정을 이루고 있으며 각 단계는 독립적인 공정으로 진행되고 사이클 1회당 한층의 박막이 증착된다. 각 단계를 살펴보면 전구체 주입에서는 증착을 원하는 원소가 포함된 전구체가 주입되고 표면과의 화학적 결합으로 흡착이 된다. 이때 표면의 반응 가능한 영역이 제한적이므로 화학 결합을 못한 과잉 전구체는 화학 결합 없이 남겨져 있다. 전구체 퍼지 단계를 통하여 과잉된 전구체를 외부로 배출시키고 표면의 화학 결합한 전구체만 남게 된다. 이후 반응물을 주입하여 표면과 결합된 전구체와 반응물이 화학 결합하고 부산물과 결합을 못한 반응물은 다음 단계인 반응물 퍼지 단계에서 배출된 후 원자층 증착이 이루어 진다. [3] [4]

위의 2성분계 증착 사이클 방식을 활용하여 다성분계의 박막 성장도 가능하다. 원하는 원소의 사이클을 조합하여 슈퍼 사이클(super cycle)을 구성할 수 있다. ALD 슈퍼사이클을 반복하여 원하는 조성비로 두께를 조절하여 다성분계의 박막 증착을 한다.

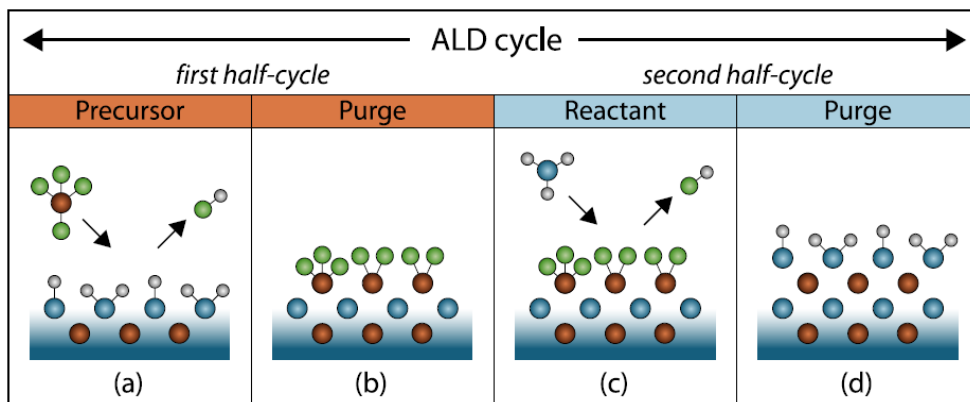


Figure 2.1 일반적인 ALD 공정의 증착 4단계 모식도 ^[5]

2.2 ZAZ($\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{ZrO}_2$) 유전막

DRAM의 데이터를 저장하는 Capacitor의 구조와 유전체는 다양한 형태로 발전하였다. 전하를 저장하는 표면적으로 넓히기 위하여 Box구조, HSG(Hemispherical Silica Galss)구조를 거쳐서 OCS(One Cylinder Stack)으로 연구되어 높은 종횡비(high aspect ratio)를 적용한 supporter 구조로 확장되었다. 유전체의 경우 ONO , Ta_2O_5 , HfO_2 를 차례로 사용하였으며 최근에는 ZrO_2 을 유전막으로 증착하고 있다. 이후 커패시터 구조의 미세화에 따른 누설전류 특성을 향상시키기 위하여 Al_2O_3 층을 삽입한 ZAZ, ZAZA 등 ZrO_2 물질을 기반으로 한 유전막을 지속 발전시키고 있다.

ZrO_2 는 cubic, tetragonal, monoclinic 등의 여러가지 결정 구조를 가지는 유전체로서 각 구조에 따른 유전율은 cubic인 경우 37, tetragonal의 경우 47(c축), monoclinic 의 경우 20 으로 결정 구조마다 다른 유전상수를 갖는 것으로 알려져 있다.^[6] 저온 영역에서는 monoclinic이 가장 안정한 상으로 알려졌다. 하지만 높은 유전율과 낮은 누설전류 특성을 보이는 ZrO_2 기반의 유전막의 한계점이 대두되고 있다. 미세화에 따라서 ZAZ($\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{ZrO}_2$) 유전막의 두께는 더욱 얇아지고 이에 따라서 낮은 유전율과 누설전류 문제가 발생한다. ALD에 의한 ZrO_2 박막 형성시 비정질(amorphous) 혹은 tetragonal 상이 일부 포함된 비정질로 보고되어 있으며 이 때 ZrO_2 의 유전율은 약 20~25정도로 보고되고 있다.^{[7][8]} 열적 스트레스(RTA)에 의하여 tetragonal구조로 결정화가 되며 ZrO_2 유전상수 47 (band gap 6.4eV)을 갖지만 5nm 이하의 박막 두께에서는 결정화 문제로 약 25

정도의 유전상수를 나타나는 것으로 보고 된다. 이와 같은 문제를 극복하고 유전막내의 상부/하부 유전막의 비율을 비대칭으로 적용하여 결정화를 극대화하여 정전용량을 높이하고자 하는 연구도 이루어졌다.^[9]

향후 10nm대의 DRAM 제품에서의 유전막 두께는 더욱 얇게 요구될 것이다. 이에 따라 ATO (Al-doped TiO_2), SrTiO_3 , $(\text{Ba,Sr})\text{TiO}_3$ 등의 고유전 재료로 새로운 유전막의 연구가 활발히 진행되고 있다. Figure1.2에서와 같이 10nm급의 제품에서는 원통형(cylinder) 구조의 한계가 예상되며 기둥(Pillar) 구조를 적용하여 등가 산화막 두께를 낮추는 방법으로 차세대 유전막의 해결책이 될 수도 있을 것이다.

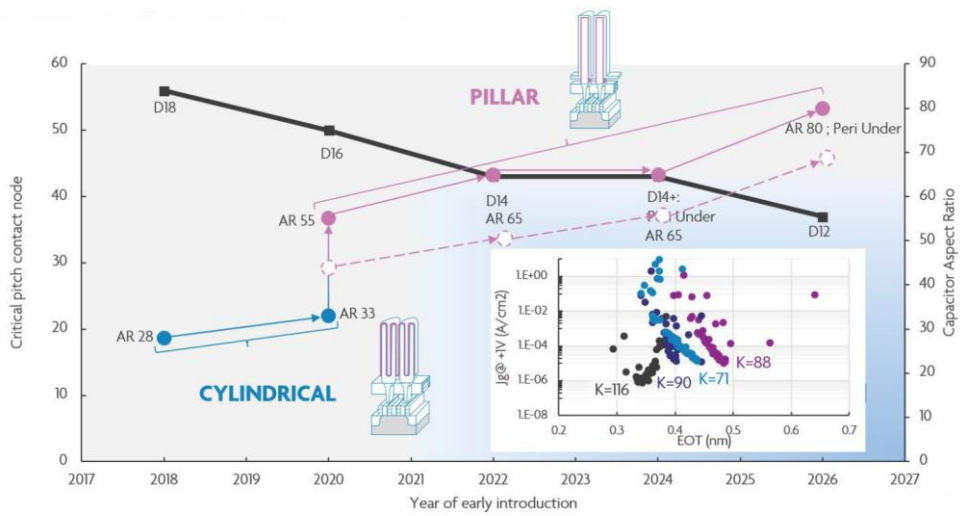


Figure 2.2 DRAM 미세화 로드맵 (inset : one-pillar 커패시터 특성)

[10]

2.3 Properties of TiO_2

이산화 타이타늄(TiO_2)은 자외선 차단제, 식품첨가제, 흰색의 도료 등으로 널리 쓰이고 있다. 산화력이 크고 비독성의 안정한 물질로 광촉매로 사용되기도 한다. 전자재료 분야에서는 태양전지, 광전자장치, 필터 등에서 활용되고 있다. 특히 반도체에서는 TiO_2 의 고유전율을 활용한 반도체 소자의 게이트 유전체(gate dielectric)로 적용하거나 DRAM 커패시터 유전막 물질로 연구가 활발히 이루어지고 있다.^[11]

유전막의 유전체로서 물질 특성은 결정구조와 그에 따른 유전상수로 확인할 수 있다. TiO_2 의 유전율은 결정 구조에 따라서 상이함을 갖고 있다. TiO_2 의 결정구조는 자연상태에서 보통 rutile, anatase, brookite로 가지고 있으며 고압에서는 monoclinic baddeleyite형, orthorhombic $\alpha\text{-PbO}_2$ 형이 나타나기도 한다. 주로 안정한 결정상인 anatase와 rutile 구조의 물성을 활용한 막질이 연구되고 있다. TiO_2 의 Anatase, Rutile, Brookite의 단위격자(unit cell) 구조를 Figure 1.3에서와 같이 확인 할 수 있다. Anatase 와 Rutile 구조 모두 하나의 Ti(Titanium)에 6개의 산소가 결합하는 팔면체(octahedral)로 구조를 이룬다. 각 결정구조에 따른 유전상수는 anatase TiO_2 의 경우 ~ 45 , rutile TiO_2 은 a축 ~ 90 , c축 ~ 170 으로 보고된다.^{[12][13]}

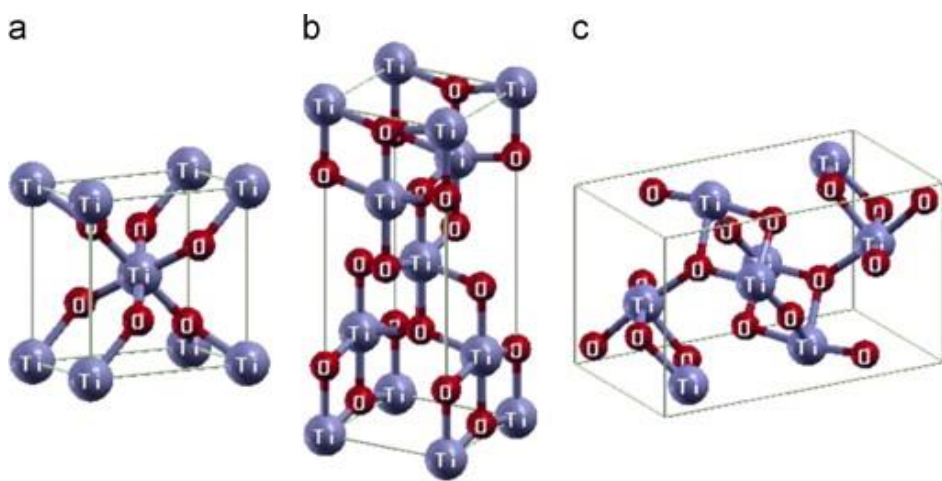


Figure 2.3 일반적인 TiO_2 물질의 결정구조 (a) rutile (b) anatase (c)brookite 그림. (파란색 구형은 Ti 원자 빨간색 구형은 산소 원자를 표현) ^[14]

3. 실험 및 분석 방법

3.1 실험 설계

이 실험은 Figure 3.1과 같이 하부전극막인 TiN 막질 위에 ZrO_2 와 Al_2O_3 그리고 TiO_2 유전막을 차례로 원자층 증착법을 통하여 유전체를 형성하고 스퍼터 공정을 통하여 상부 전극막을 TiN 막질로 증착하였다. 현재 DARM Capacitor에서 사용중인 TiN-ZAZ($ZrO_2/Al_2O_3/ZrO_2$)-TiN 구조에서 상부 유전층을 고유전물질인 TiO_2 를 적용하여 TiN-ZAT($ZrO_2/Al_2O_3/TiO_2$)-TiN 구조로 형성하여 높은 정전용량과 낮은 누설전류 특성을 얻고자 하는 것을 목표로 하고 있다.

ZrO_2 막질은 tetragonal 상으로 결정화가 되어 약 45의 유전상수를 갖고 있으나 공정미세화에 따른 유전막의 박막화로 인하여 결정화 문제가 발생하여 약 25의 유전상수 값을 갖는 문제가 있다. 이에 따라 고유전율($k \sim 45$)을 갖는 TiO_2 의 anatase 막질을 적용함에 따라서 미세화로 인한 특성 저하를 극복할 수 있는 차세대 유전막으로써의 가능성을 실험하였다.

상/하부 전극막은 TiN 물질로 선정하였는데 그 이유는 현재 양산 공정에서 사용중인 TiN을 동일하게 사용할 경우 공정변경점 및 장비투자 없이 새로운 유전체 적용이 용이하여 선택하였으며, 하부 유전막인 ZrO_2 와 Al_2O_3 박막 모두 현 공정에서 최적화되어 사용되고 있다. 마찬가지로 DRAM Capacitor 유전막의 한계에 도달했을 때 ZAT 유전막 적용의 공정 전환 효율을 높일 수 있는 측면에서 판단하여

설계하였다.

Figure 3.2와 같이 TiO_2 의 낮은 band gap 3.4eV와 Al_2O_3 의 높은 band gap 8.9eV 특성을 이용하여 최소의 등가 산화막 두께와 낮은 누설전류 특성을 갖는 최적화된 ZAT 막질의 비율과 두께를 확보하는 것이 매우 중요하다. ^[15]

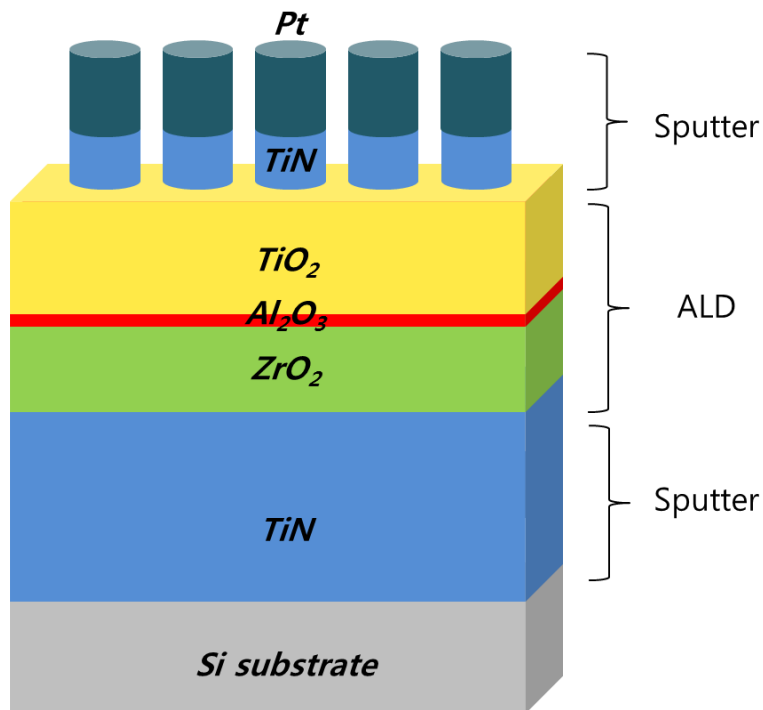


Figure 3.1 TiN/ZAT($\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{TiO}_2$)/TiN 의 MIM 적층 구조

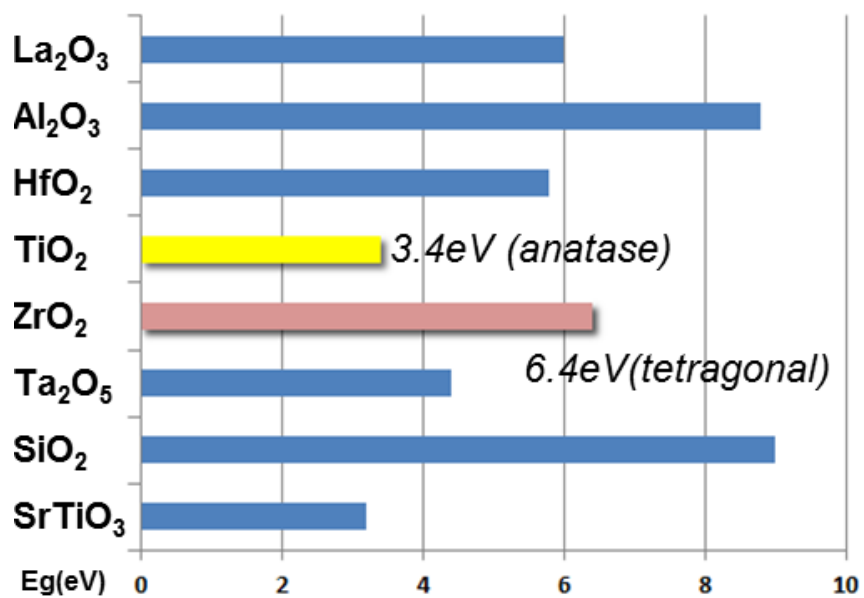


Figure 3.2 대표적인 유전막의 밴드갭 에너지 비교 ^[15]

3.2 원자층 증착법(ALD) 시스템

본 연구에서는 ZrO_2 , Al_2O_3 , TiO_2 박막 증착을 원자층 증착법(ALD)을 공정기법으로 사용하였다. ZAT 유전막은 동일 장비에서 in-situ로 증착 되었으며, Evertek사의 PLUS-200 reactor가 이용되었다. 본 원자층 증착법 시스템은 크게 공정반응기(reactor), 기체전달 시스템, 오존발생기(MKS, AX8560)로 구성되어 있다. Figure 3.3에서는 실험에서 사용된 ALD 시스템을 도식화하여 나타내고 있다.

공정반응기는 4inch wafer의 공정이 가능하며 traveling wave type이다. 챔버(chamber)의 온도는 내부의 스테이지 하부 히터를 가열하여 온도를 조절하며 공정 중 주입되는 precursor나 reactant가 반응기 내벽에 흡착되는 것을 막기 위하여 반응기의 벽 온도도 함께 조절하여 공정이 진행 된다. 공정반응기에서 원자층 증착 후 남은 기체와 반응부산물은 드라이 펌프(EDWARDS, DP-40)를 통하여 배출된다. 최저 진공도는 20mTorr 이하이고, 공정 시 반응기로 Ar을 각 라인마다 200 sccm로 흘려주면 반응기의 압력은 0.47 ± 0.2 Torr가 된다.

본 ALD System에는 Zr, Al, Ti의 전구체로 TEMAZr, TMA, TTIP가 연결되어 있다. ZAT 유전막을 증착할 때 동일한 반응기에서 공정이 한번에 진행될 수 있도록 구성하였다. ZrO_2 , TiO_2 증착공정 과정에서 전구체 소스가 기체 전달 라인에 응축되는 것을 방지하기 위해 라인 히터의 온도를 100 °C 이상으로 설정하였다. 이 때 기체 전달 라인의 온도는 라인내부에서 이동하는 precursor의 응축을 막기 위하여 캐니스터(canister)의 온도보다 높은 온도로 유지한다. TMA 전구체

캐니스터는 높은 증기압을 갖고 있기 때문에 칠러(Chiller)와 연결된 수냉식 쿨링 자켓을 이용하여 5℃ 이하로 유지하였다. Zr과 Al은 200sccm, Ti는 80sccm 으로 공급해주는 MFC(Mass Flow Controller)가 4개로 구성되어 있으며, 공압 밸브와 수동 밸브를 이용하여 기체 라인을 조절 할 수 있도록 구성하였다.

오존 발생기(ozone generator)는 700sccm의 산소와 소량의 질소를 혼합하고 plasma를 이용해 오존을 생성시킨다. 오존이 발생하는 공간인 cell의 압력을 조절을 통하여 오존 농도를 변화시킬 수 있다. 공정 진행 중에 오존이 반응기로 유입되는 것을 막아주는 by-pass용 rotary pump(Varian, DS 202)도 함께 구성한다.

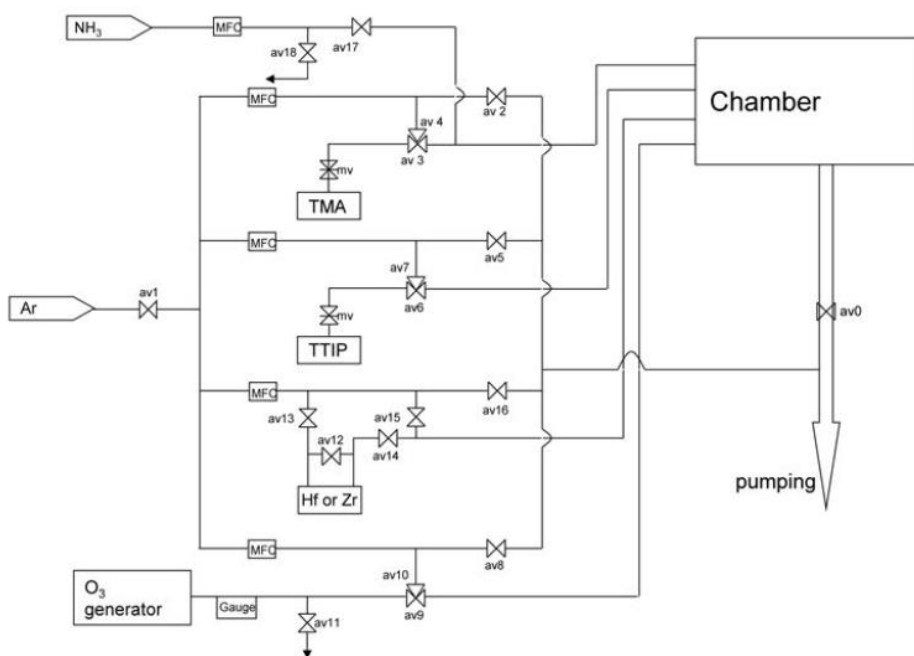


Figure 3.3 ALD system의 구성도

3.3 상부, 하부 TiN 전극 증착

하부전극막인 TiN과 상부전극막인 TiN/Pt 모두 스퍼터(sputter) 공정을 통하여 증착하였다. 스퍼터링은 낮은 진공도에서 플라즈마를 통해 이온화된 Ar 이온 원자가 타겟(target)과의 충돌로 인하여 분자 또는 원자가 물리적으로 분리되어 직접 필름 상에 증착되는 PVD (physical vapor deposition) 방법에 기초한다.

하부 전극은 Si 기판위에 furnace(SELTRON사, SHF-150)를 통하여 wet oxidation방식으로 1000 Å 두께로 SiO₂ 를 성장시켰다. 고진공(10^{-8} Torr 이하)을 유지한 상태에서 스퍼터(AMTA사, ENDURA 5500) 장비를 이용하여 Ti와 TiN을 각각 5nm, 50nm 두께로 증착하였다.

상부 전극은 하부전극 기판위에 유전막을 증착하고 Shadow mask를 이용하여 dot 형태의 전극을 형성하여 전기적 측정이 가능하도록 단위 소자를 제작하였다. TiN(5nm)/Pt(30nm)의 상부 전극을 sputtering 방법을 이용하여 Metal-Insulator-Metal (MIM) 구조의 capacitor를 제작하였다.

3.4 ALD 를 이용한 $\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{TiO}_2$ (ZAT) 증착

ZrO_2 박막 증착에 사용된 Zr 전구체는 Figure 3.4와 같은 분자구조를 갖는 $\text{Zr}[\text{N}(\text{CH}_3)\text{C}_2\text{H}_5]_4$ (TEMAZr)를 사용하였고, 산화제로는 오존(O_3)을 사용하였다. TEMAZr은 Ar을 carrier 기체로 사용하여 반응기로 유입되도록 하였고 TEMAZr 캐니스터는 60°C , 전달 라인은 라인 히터를 이용하여 100°C 로 온도 유지를 설정하였다. 오존 제너레이터의 농도는 $260\text{g}/\text{Nm}^3$ 으로 유지하였으며 Ar 퍼지의 기체 유량은 200sccm 으로 진행하였다. 반응기 내의 공정 압력은 0.8Torr 이다.

Al_2O_3 박막 증착에 사용된 Al 전구체는 Figure 3.5와 같은 분자구조를 갖는 $(\text{CH}_3)_3\text{Al}$ (TMA)를 사용하였고, 산화제로는 오존(O_3)을 사용하였다. TMA는 carrier 기체 없이 전구체가 직접 반응기로 유입되도록 하였고 TMA 캐니스터는 5°C 도 냉각하여 사용하였고 전구체 전달 라인은 상온으로 유지하였다. 오존 제너레이터의 농도는 $260\text{g}/\text{Nm}^3$ 으로 유지하였으며 Ar 퍼지 기체 유량은 200sccm 으로 설정하였다. 반응기 내의 공정 압력은 0.8Torr 이다.

TiO_2 박막 증착에 사용된 Ti 전구체는 Figure 3.6와 같은 분자구조를 갖는 $\text{Ti}(\text{OCH}(\text{CH}_3)_2)_4$ (TTIP)를 사용하였고, 산화제로는 오존(O_3)을 사용하였다. 전구체인 TTIP도 carrier 기체가 없으며 전구체가 직접 반응기로 유입되도록 하였다. TTIP 캐니스터는 68°C , 전구체 전달 라인은 라인 히터를 이용하여 110°C 온도를 설정하였다. 오존

제너레이터의 농도는 $260\text{g}/\text{Nm}^3$ 으로 유지하였으며 Ar 퍼지 유량은 200sccm 으로 설정하였다. 반응기 내의 공정 압력은 0.8Torr 이다.

Figure 3.7은 (a) ZAT와 (b) ZAZ 유전막 증착 공정 순서도이다. ALD 공정은 전구체(TEMAZr, TMA, TTIP)유입, Ar 퍼지, 오존(O_3) 유입, Ar 퍼지를 반복으로 진행되었다. 각 공정은 5초-5초-3초-5초, 0.5초-25초-5초-3초-5초, 3초-5초-3초-5초 동안의 순서로 실험하였다. 반응기 내의 증착 온도는 250°C 이며 ZAZ,ZAT 유박막은 $\text{TiN}/\text{Ti}/\text{SiO}_2/\text{Si}$ 기판 위에 증착하였다.

ZAZ와 ZAT의 공정 과정은 regular process를 연속하여 적층하는 형태로 진행되는데, ZrO_2 , Al_2O_3 , TiO_2 막질을 각각 ALD공정을 통하여 목표두께로 증착하고 M,N,L,K의 각 regular cycle을 조절하여 각 샘플의 유전막 전체 두께와 상부 및 하부 유전막 두께 비율을 조절하여 연구하였다.

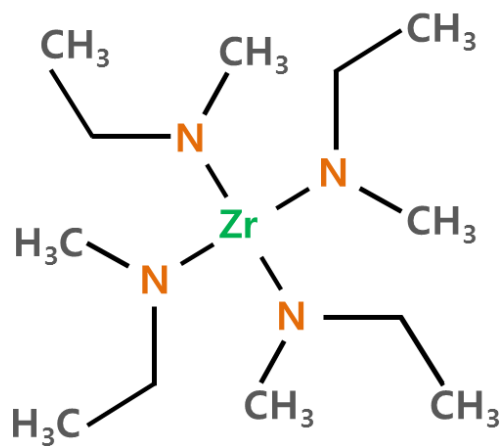


Figure 3.4 Tetrakis(ethylmenthylamino) Zirconium,
 $\text{Zr}[\text{N}(\text{CH}_3)\text{C}_2\text{H}_5]_4$ 의 분자 구조

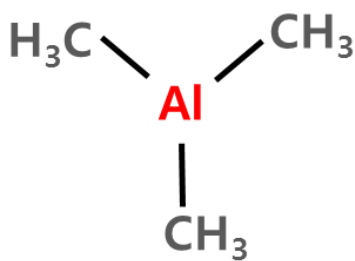


Figure 3.5 Trimethyl Aluminum, $(\text{CH}_3)_3\text{Al}$ 의 분자 구조

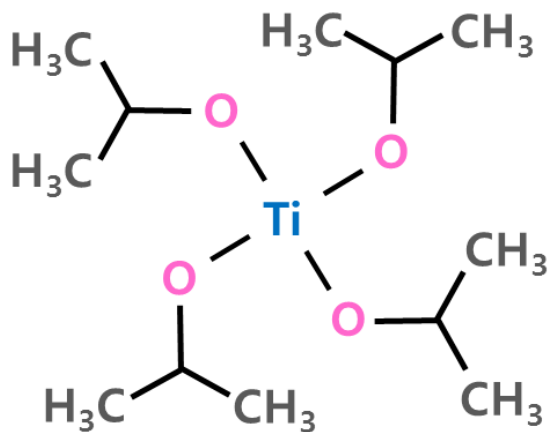


Figure 3.6 Tetra(isopropoxy) Titanium, $\text{Ti}[\text{O}(\text{CH}(\text{CH}_2)_2)]_4$ 의
분자 구조

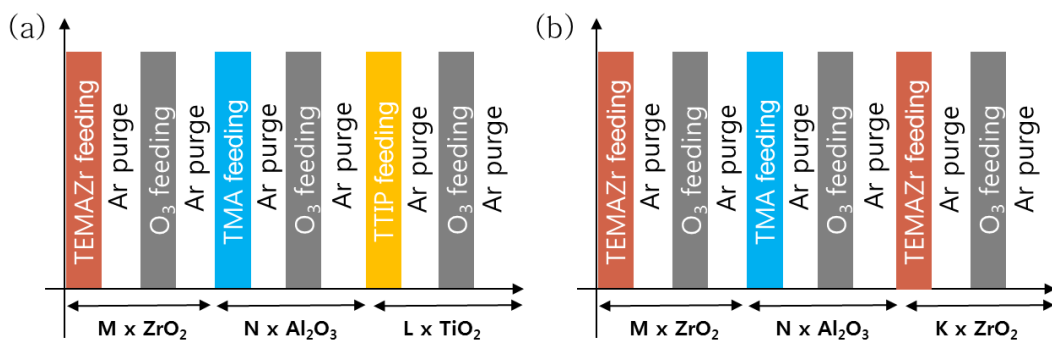


Figure 3.7 (a)ZAT와 (b) ZAZ 유전막의 증착 공정 순서도

3.5 유전막질의 열처리 공정

ZAZ와 ZAT 유전막의 열처리 공정을 위해 RTA(rapid thermal annealing, ㈜울텍)를 진행하였다. ZrO_2 와 TiO_2 막질의 결정화를 돕는 목적으로 진행하였으며, 상부전극을 증착 후에 열처리 (Post-metallization annealing, PMA)를 하였다. RTA 공정은 N_2 분위기에서 온도는 600°C 로 30초간 진행하였다.

3.6 유전막 분석 방법

증착된 ZAT 박막의 물리적 두께는 single wavelength ellipsometer (Gatner Scientific Corporation, L115)를 이용하여 측정하였고 XRF (X-ray fluorescent spectroscopy, Thermoscientific, ARL-Quant'X)를 이용하여 면밀도를 통하여 확인하였다. 매우 얇은 복합막의 표면 상태와 거칠기(RMS roughness)를 확인하기 위해서 원자력 현미경(Atomic force microscopy, AFM)을 이용하였다. 증착된 박막의 열처리(RTA) 전/후 결정성을 분석하기 위해서 glancing angle mode X-ray diffraction (GAXRD)을 이용하였다. 측정시 입사각, scan step size, step 당 시간은 각각 2° , 0.02° , 0.5초 이다. 박막의 전기적 특성 분석을 위해 shadow mask를 이용하여 $\text{TiN}(5\text{nm})/\text{Pt}(30\text{nm})$ 상부 전극을 sputtering 방법을 이용하여 MIM(Metal-Insulator-Metal) 구조의 capacitor를 제작하였다. planar형태의 MIM 구조에서는 dot 형태의 전극을 통하여 단위 소자의 특성을 측정하였으며 하부전극을 contact하기 위해 시편에 높은 전압(20V)을 순간 인가하여 leakage

path를 형성시키는 방식을 활용하였다. Capacitance 측정은 Hewlett-Packard 4194A impedance analyzer로 측정 주파수를 10 kHz로 하여 진행하였고, 누설전류는 4140 picoammeter를 이용하여 측정하였다.

4. 결과 및 논의

4.1 고유전 물질로써의 TiO_2 박막 도입 평가

본 연구는 DRAM Capacitor의 유전막으로 사용중인 ZAZ 막질이 매우 얇게 증착됨에 따라서 결정화 문제가 발생하여 정전용량이 감소하는 문제를 극복하고자 신규 막질을 평가하는 것이다. 따라서 고유전 물질인 TiO_2 를 적용한 ZAT 유전막의 특성을 향상시키기 전에, ZAZ 유전막과 ZAT 유전막을 동등한 물리적 두께에서의 전기적 특성을 확인하여 대체 유전막 물질로써의 사용 가능성 여부를 먼저 확인하였다. 또한 열처리 공정 평가를 통하여 등가 산화막 두께를 추가로 향상시킬 수 있는 결정화 유무와 그에 따른 누설전류 수준을 확인하였다.

4.1.1 TiN 전극에서의 ZAZ와 ZAT 특성 비교 결과

ZAZ 유전막과 ZAT 유전막의 특성을 비교하고자 동일한 ALD system을 사용하여 같은 공정 조건으로 증착을 각각 진행하였다. 상부/하부 전극막은 TiN을 사용하였으며 ZAZ와 ZAT의 유전막에서 TiO_2 층을 제외한 모든 막질은 동일한 두께와 조건으로 진행되었기 때문에 고유전 물질인 TiO_2 의 영향성을 평가하고자 한다. 이에 따라 ZAT는 ZAZ보다도 높은 정전용량을 나타낼 것으로 예상되었지만 TiO_2 물질은 ZrO_2 의 Band gap인 6.4eV 보다도 낮은 Band gap인 3.4eV를 갖기 때문에 누설전류 측면에서는 불리 할 것으로 예상하였다. 우선 유전막의 전체 두께를 9nm로 전기적인 특성인 정전용량과 누설전류를 평가하였다. 본 실험을 시작할 때 유전막 두께를 9nm로 설정한 이유는

ZAZ구조에서는 매우 얇은 박막이 될 때 tetragonal 구조를 갖지 못하여 정전용량이 낮아지는 현상이 약 5nm 이하에서 발생한다는 보고를 기초로 하였다.^[9] ZAT 유전체의 적층구조는 ZrO₂막질과 TiO₂막질의 두께비를 1:1로 증착하였으며 각 5nm 이하의 두께로 증착되어 결정화 영향성을 확인할 수 있다. 절연 역할을 하는 Al₂O₃ 박막은 ALD 3cycle(약 0.3nm)로 증착하였다.

Figure 4.1는 ZAZ 유전막과 ZAT 유전막의 정전용량(Capacitance density) 특성을 비교한 그래프이다. TiN/ZAZ/TiN와 TiN/ZAT/TiN 모두 negative bias영역에서 positive bias 영역까지 일정한 수준의 정전용량을 유지하는 것을 볼 수 있다. 손실계수(dissipation factor, DF)를 함께 측정한 결과 0.1이하의 안정적인 수준을 유지하였다. 정전용량 밀도를 보면 인가전압 0V 기준으로 TiN/ZAZ/TiN은 18 fF/ μm^2 을 나타내는 반면에 TiN/ZAT/TiN은 30 fF/ μm^2 으로 전체적인 정전용량 수준이 크게 향상된 것을 확인하였다. 이는 ZAZ유전막의 상부 ZrO₂ 막질의 유전율보다 ZAT의 TiO₂ 막질의 유전율이 높은 값을 갖고 있음을 간접적으로 대변해주고 있다.

Figure 4.2는 ZAZ 유전막과 ZAT 유전막의 누설전류밀도(Leakage current density) 특성을 비교한 그래프이다. TiN/ZAZ/TiN는 TiN/ZAT/TiN 대비 negative bias영역에서 positive bias 영역까지 모두 우수한 누설전류 특성을 보인다. 이는 ZrO₂ 막질의 높은 Band gap으로 기인한 것으로 보인다. 하지만 0.8V 기준으로 ZAT와 ZAZ 모두 10^{-7}A/cm^2 수준 이하의 낮은 누설전류 특성을 나타낸다. 이로 인하여 ZAT 유전막이 낮은 누설전류를 유지하면서 우수한 정전용량 특성을 보이기에 TiO₂ 박막 도입의 가능성을 확인 할 수 있었다.

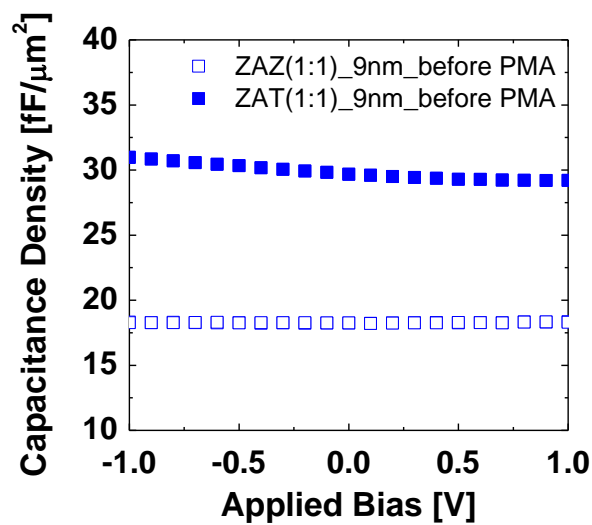


Figure 4.1 9nm 두께에서 ZAZ와 ZAT의 인가 전압에 따른 정전용량밀도 그래프 (C-V plot)

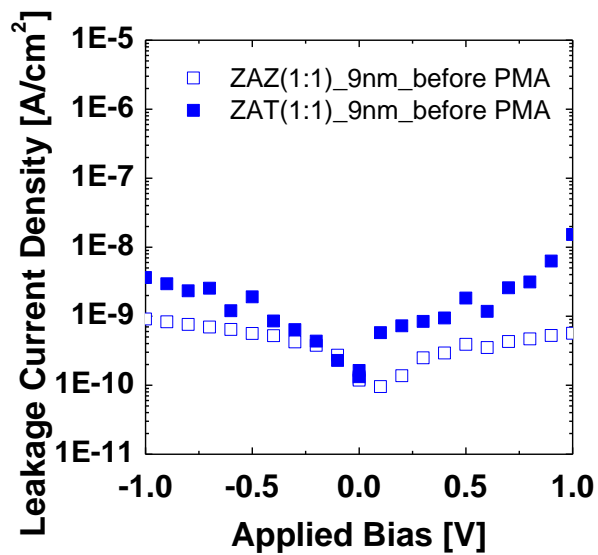


Figure 4.2 9nm 두께에서 ZAZ와 ZAT의 인가 전압에 따른 누설전류밀도 그래프 (I-V plot)

4.1.2 ZAT 유전막의 박막화 평가 결과

9nm 두께의 ZAT 유전막에서 정전용량 향상을 확인한 결과를 바탕으로 복합막 전체두께를 얇게 만드는 평가를 진행하였다. DRAM의 공정미세화에 따라 더 얇고 특성이 우수한 유전막이 요구되기에 박막화 평가를 통하여 가능성을 확인하고자 한다. ZAZ와 ZAT 모두 7nm, 5nm 두께로 유전막을 형성하여 평가하였다. 9nm와 마찬가지로 ZAT유전막의 적층구조는 ZrO_2 와 TiO_2 의 비율을 1:1로 설정하였으며 전체 두께가 얇아짐에 따라서 Al_2O_3 의 두께도 더 얇게하여 ALD 2 cycle(0.2nm)로 증착하였다. 유전막의 두께가 얇아짐에 따라 정전용량이 높아지고 등가 산화막 두께가 얇아 질 것으로 예상하며 이에 따른 누설전류의 특성을 확인코자 하였다.

Figure 4.3에서는 9nm, 7nm, 5nm 두께의 ZAZ 유전막과 ZAT 유전막의 정전용량(Capacitance density) 특성을 비교한 그래프이다. ZAZ, ZAT 유전막 모두 -1V에서 +1V까지 안정적으로 직선형태의 정전용량을 나타낸다. 박막화 평가에서도 동일한 물리적 두께의 유전막을 비교해보면 9nm, 7nm, 5nm에서 모두 ZAZ 대비 ZAT의 정전용량이 높은 수준임을 확인하였다. 7nm의 ZAZ와 ZAT는 $24 \text{ fF}/\mu\text{m}^2$, $34 \text{ fF}/\mu\text{m}^2$ 로 측정되었으며 5nm는 각각 $32 \text{ fF}/\mu\text{m}^2$, $47 \text{ fF}/\mu\text{m}^2$ 로 나타났다. 유전막의 두께 감소에 따른 Capacitance 상승 영향도 있겠지만, 동일한 물리적 두께에서 더 높은 결과를 나타내는 것은 매우 얇은 유전체인 7nm, 5nm에서도 TiO_2 막질을 적용한 ZAT가 정전용량 향상에 도움을 주는 것을 다시 확인 할 수 있었다.

Figure 4.4는 박막화에 따른 ZAZ 유전막과 ZAT 유전막의 누설전류밀도(Leakage current density) 특성을 비교한 그래프이다. 유전막 두께가 감소함에 따라서 누설전류 특성이 나빠지는 현상을 확인할 수 있다. ZAZ 유전막의 경우 5nm 두께에서도 10^{-7}A/cm^2 수준 이하의 낮은 누설전류 특성을 보인다. 하지만 ZAT 유전막은 5nm이하에서 인가전압에 따라서 누설전류가 급격히 증가함을 보였다. 그래프에서 볼 수 있듯이 기준 전압 +0.8V에서 10^{-3}A/cm^2 수준을 보이며 이는 낮은 Band gap을 갖는 TiO_2 막질의 물리적 두께도 함께 낮아지면서 누설전류가 증가하게 된 것이다. Figure 4.5은 J-EOT(Leakage current density vs EOT) 그래프로 유전막의 누설전류 특성과 등가 산화막 두께를 통하여 전기적 특성을 비교하였다. 등가 산화막 두께는 9nm두께의 ZAZ는 1.89nm, ZAT는 1.14nm이며 7nm와 5nm는 각각 ZAZ는 1.44nm, 1.01nm를 나타내고 있고 ZAT는 1.06nm, 0.71nm의 수준이다. ZAT 박막화 평가에서는 7nm수준에서 낮은 누설전류 특성을 유지하면서 1.01nm의 EOT 값까지 낮출 수 있음을 확인하고 박막화 가능성을 볼 수 있었다

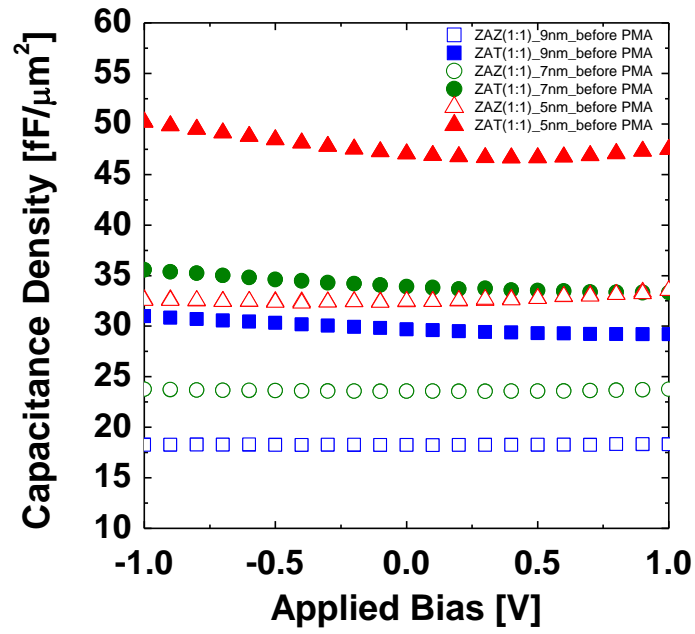


Figure 4.3 박막화 평가에 따른 ZAZ와 ZAT의 인가 전압에 따른 정전용량밀도 그래프 (C-V plot)

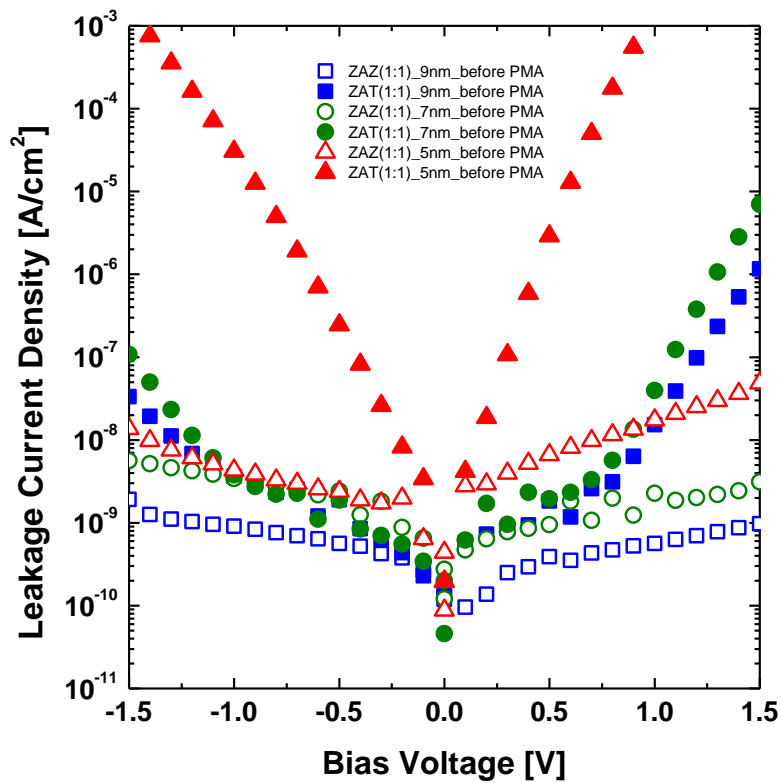


Figure 4.4 박막화 평가에 따른 ZAZ와 ZAT의 인가 전압에 따른 누설전류밀도 그래프 (I-V plot)

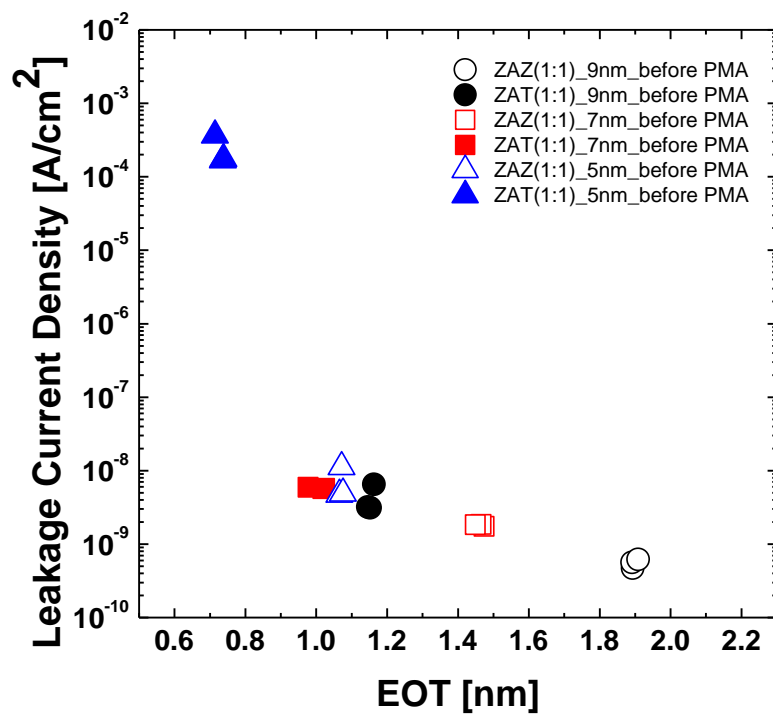


Figure 4.5 박막화 평가에 따른 ZAZ와 ZAT의 등가 산화막 두께에 따른 누설전류밀도 그래프(J-EOT plot)

4.1.3 열처리 공정에 따른 전기적 특성 결과

앞의 실험에서 ZAZ 유전막보다 ZAT 유전막의 낮은 등가 산화막 두께를 갖고 있음을 확인하였지만 열처리 공정을 통하여 ZrO_2 와 TiO_2 막질의 결정화를 향상시켜 더 낮은 등가 산화막 두께를 얻고자 실험을 하였다. ZrO_2 는 상압에서 보통 monoclinic 결정상으로 존재한다. 약 20의 낮은 유전상수를 갖는 monoclinic 결정상보다 높은 유전상수인 47의 tetragonal 결정상은 고온에서 얻어지거나 열처리 공정을 통하여 얻을 수 있다. 그러나 고온 증착을 하거나 어닐링을 진행하는 경우 높은 누설전류가 발생하게 된다. 열처리 공정 온도는 600° 30초 설정하였다. 이는 650° , 900° 로 N2분위기에서 두께별로 평가한 결과 650° 에서 가장 낮은 1.0nm의 EOT와 $3.2 \times 10^{-8} \text{ A/cm}^2$ 누설전류 특성을 만족하였다는 보고를 기초로 하였다. [16]

Figure 4.6 (a) (b) (c)에서는 각각 9nm, 7nm, 5nm 두께별로 열처리(RTA) 공정 전과 후의 정전용량밀도를 비교하고 있다. ZAZ와 ZAT 유전막 모두 열처리공정 후 정전용량이 증가된 것을 확인 할 수 있었다. 이는 ZrO_2 과 TiO_2 박막이 결정화 정도가 높아졌거나 높은 유전상수의 결정구조를 갖고 있음을 알 수 있다. 9nm 두께의 열처리 후 ZAT는 열처리 후의 ZAZ보다 약 2배의 정전용량밀도를 나타내며 7nm, 5nm에서도 64%, 23%의 증가효과가 나타났다. 특히 9nm와 7nm 두께에서는 열처리 전의 ZAT 유전막이 열처리 후의 ZAZ 유전막보다 높은 Capacitance 값을 나타내기도 하였다. 이는 열처리 공정 없이도 ZAZ 대비 향상된 특성을 얻는다면 공정단순화 및 하부 트랜지스터 열화 방지에 도움을 줄 수 있을 것이다.

Figure 4.7 (a) (b) (c)에서는 각 두께별로 열처리(RTA) 공정 전과 후의 누설전류밀도를 나타내고 있다. ZAZ는 9nm와 7nm에서 열처리 전과 비교해 볼 때 1 order 정도의 누설전류 증가가 확인되었지만 +0.8V 전압기준으로 10^{-7}A/cm^2 이하로 낮은 수준을 나타냈다. 하지만 ZAT는 인가되는 전압이 높아짐에 따라서 누설전류밀도가 급격히 증가하였다. 5nm에서는 물리적 두께가 매우 얇아짐에 따라서 누설전류 특성이 더욱 급격히 나빠지는 것을 확인하였다. ZAT는 9nm, 7nm, 5nm 모두 열처리 후 누설전류밀도가 높아졌으며 이는 TiO_2 층의 결정화가 진행됨에 따라서 전자가 결정립계(grain boundary) 통하여 더 많이 빠져나가는 것으로 유추 할 수 있다. [17]

J-EOT(Leakage current density vs EOT) 그래프를 통하여 누설전류와 EOT 특성을 모두 표현하고자 Figure 4.8과 나타냈다. 유전물질의 특성인 물리적 두께 감소에 따른 등가 산화막 두께 감소현상이 나타나며 이에 따른 누설전류밀도가 높아지는 것을 볼 수 있다. 5nm의 ZAT는 열처리 후 0.52nm의 낮은 EOT를 보이지만 매우 높은 10^{-2}A/cm^2 수준의 누설전류 값을 나타낸다. 7nm의 ZAT는 열처리 후 1.0nm 의 EOT가 나타났으며 ZAZ 와 비교시 약 0.4nm의 향상을 보이며 낮은 누설전류 특성을 유지하였다. 열처리에 따른 EOT 감소 현상을 확인하였고 ZAZ대비 ZAT가 그 효과가 크다는 것을 확인하였지만 이에 따라 누설전류가 높아지는 현상도 함께 알 수 있었다.

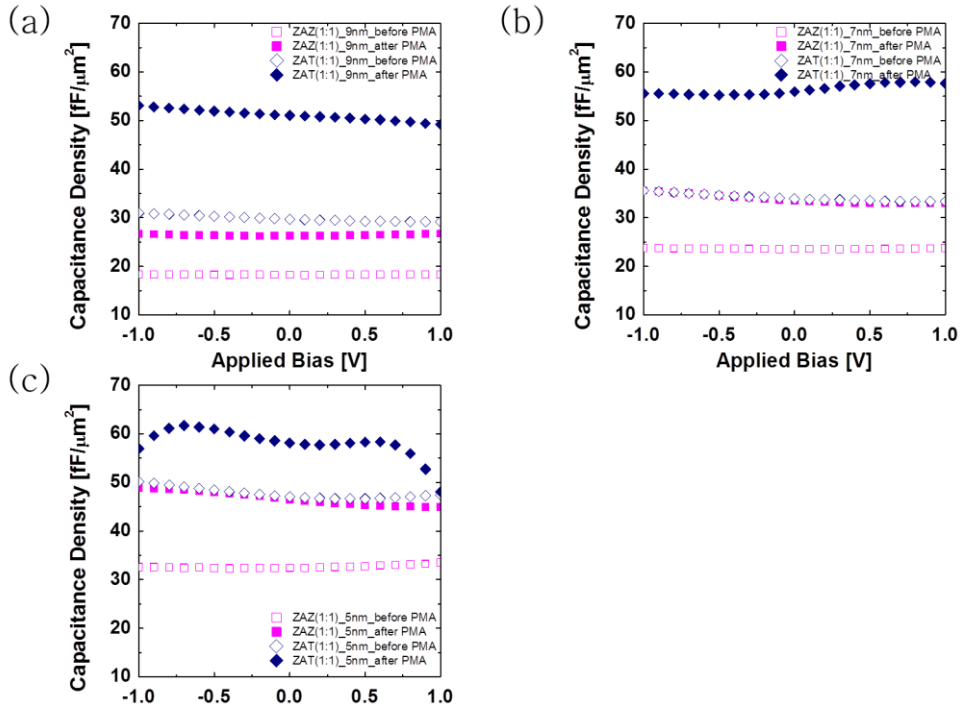


Figure 4.6 열처리 공정에 따른 (a) 9nm (b) 7nm (c) 5nm 두께의 ZAZ와 ZAT의 정전용량밀도 그래프 (C-V plot)

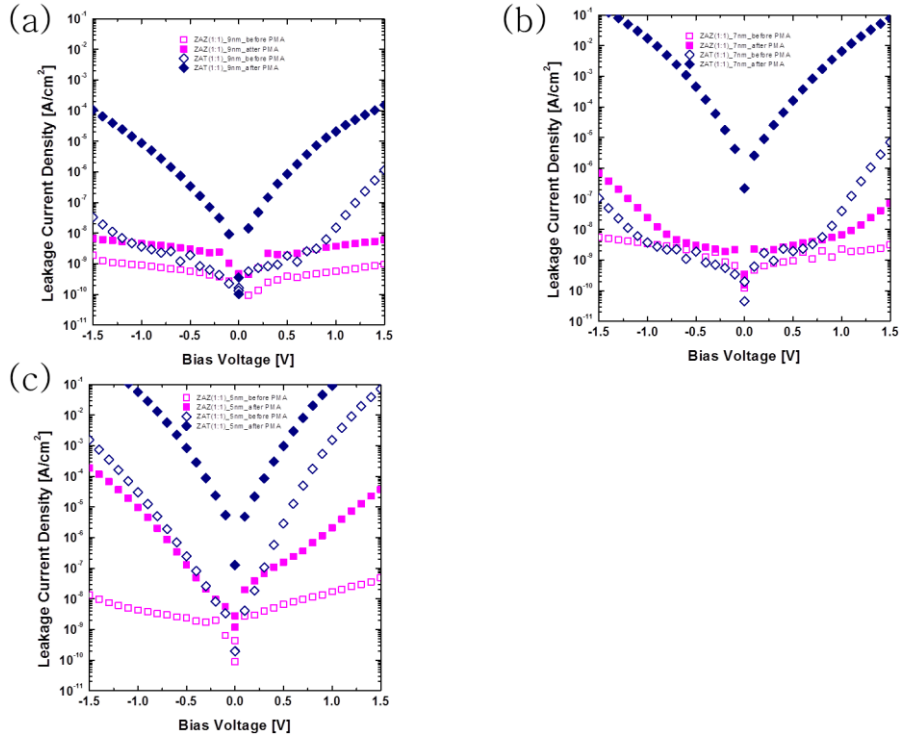


Figure 4.7 열처리 공정에 따른 (a) 9nm (b) 7nm (c) 5nm 두께의 ZAZ와 ZAT의 누설전류밀도 그래프 (I-V plot)

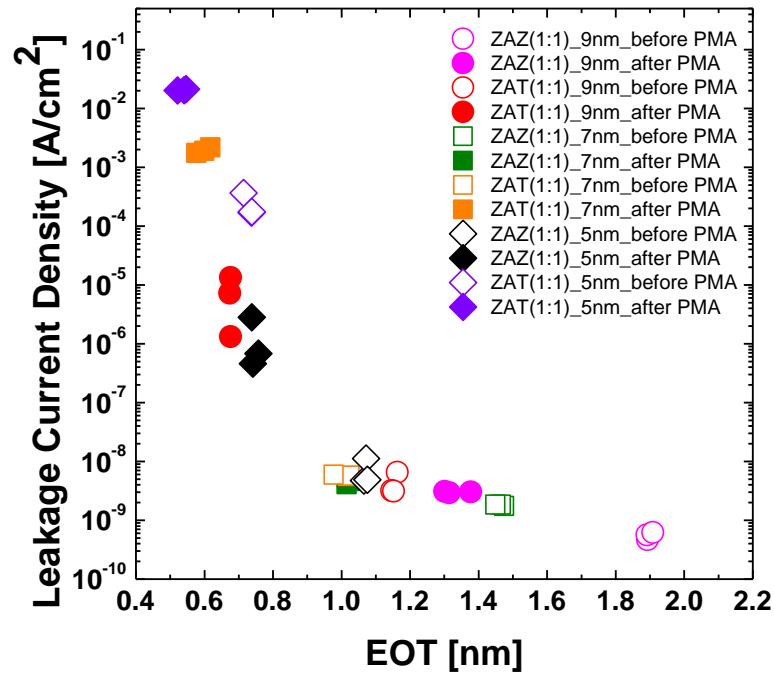


Figure 4.8 열처리 공정에 따른 두께별 등가 산화막 두께와 누설전류밀도 그래프 (J-EOT plot)

4.2 ZAT 유전막의 상부 TiO_2 박막 분석

앞의 실험으로 열처리 전과 후 모두 ZAT 유전막의 높은 정전용량을 확인 할 수 있었다. 상부와 하부 전극은 동일한 TiN 을 사용하였으며 하부유전막도 동일한 ZrO_2 를 사용하였기 때문에 높은 정전용량은 TiO_2 에서 기인하였다고 예상할 수 있었다. ZAT 유전막 내부의 TiO_2 박막이 고유전율을 특성을 보이는 부분에 대하여 고찰해보았다. 매우 얇은 TiO_2 층이 ZrO_2 와 Al_2O_3 막 위에서 갖는 유전율과 결정구조 분석을 중심으로 실험을 진행하였다.

4.2.1 상부 TiO_2 유전막의 유전율 확인

ZAT 유전막은 ZrO_2 와 Al_2O_3 그리고 TiO_2 의 복합유전박막으로 고유전 물질인 TiO_2 만의 유전율 계산하고자 하였다. 실험은 ZrO_2 , Al_2O_3 박막을 각각 5nm, 0.3nm 두께로 고정하고 상부 TiO_2 의 두께를 2.5nm에서 8.2nm 까지 물리적 두께를 변경하여 증착하였다.

Figure 4.9는 등가 산화막 두께(EOT , t_{ox})와 TiO_2 박막의 물리적 두께(t_{phy})를 그래프(t_{ox} vs t_{phy} plot)로 나타낸 것이다. 그래프의 기울기는 선형을 보이며 0.095의 기울기 값을 갖는다. 그래프 기울기의 역수로부터 계산한 TiO_2 박막의 유전율은 40.92이다. 이는 계면과 계면 사이 등에서 발생할 수 있는 낮은 유전율 층의 영향이 배제된 값이다. 계면 특성을 나타내는 y절편(0.41)의 값은 고정 박막으로 사용한 ZrO_2 와 Al_2O_3 의 영향과 계면 열화에 따른 결과이다. TiO_2 의 anatase 상이 유전상수 40~45 정도로 보고되고 있고 이에 따라 열처리된 TiO_2 층의 유전상수 값은 41이며 anatase 상으로 예상할 수 있다.

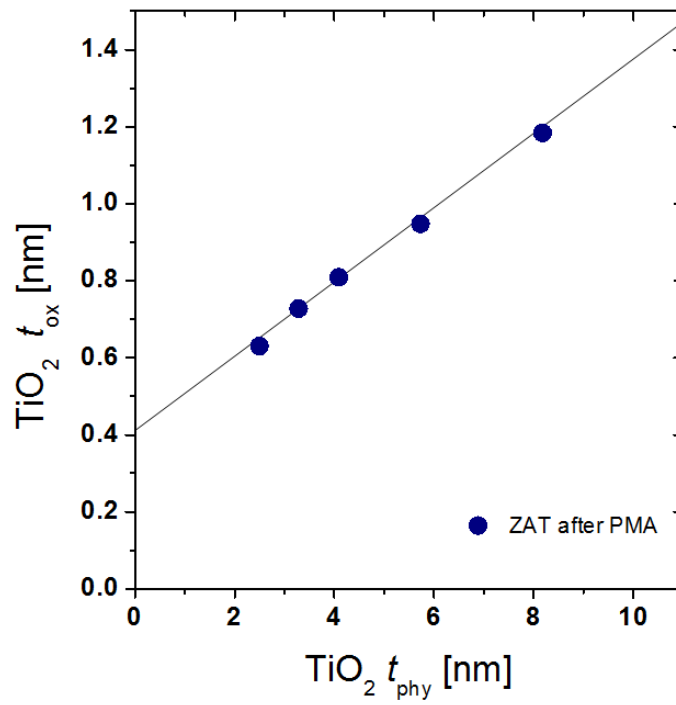


Figure 4.9 ZAT 유전막내의 TiO_2 박막의 물리적 두께에 따른 등가 산화막 두께 그래프 (t_{ox} vs t_{phy} plot)

4.2.2 상부 TiO_2 유전막의 결정화 분석

상부 TiO_2 의 유전율을 확인함에 따라서 물리적 두께와 등가 산화막 그래프로부터 계산한 유전율과 실제 결정구조와의 일치함을 확인하기 위하여 실험을 진행하였다. 결정구조는 glancing angle mode X-ray diffraction(GAXRD) 장비를 통하여 분석하였다. 우선 가장 두꺼운 시료인 9nm의 ZAZ와 ZAT 유전막에서의 결정구조는 Figure 4.10 과 같이 분석되었다. 열처리 전의 시료에서는 ZAZ, ZAT 모두 하부 전극막인 TiN의 peak만 확인되었다. 열처리 후의 시료는 ZAZ와 ZAT에서 30.4° 와 50.7° 부근에서 tetragonal peak이 확인되었다. 이 결과로 열처리 후 ZrO_2 박막의 결정화가 잘 진행되었음을 확인하였다.

ZAT에서는 TiO_2 의 결정상과 관련된 peak이 발견되지 않았다. 따라서 TiO_2 박막이 비정질(amorphous) 상태이거나 혹은 GAXRD로 분석하기에는 어려운 매우 얇은 박막임을 알 수 있다. 높은 유전율을 고려해 볼 때 비정질 상태로 존재할 가능성은 낮았기 때문에 ZAT 유전막에서 TiO_2 층의 두께를 상향하여 결정상을 재분석하였다. Figure 4.11은 ZrO_2 5nm, Al_2O_3 0.3nm 를 증착 후 TiO_2 를 (a)8.2nm, (b)5.7nm, (c)4.1nm 두께로 증착한 ZAT 유전막의 GAXRD 분석 결과이다. TiO_2 8.2nm의 열처리 전과 후 모두 anatase peak인 25.3° 에서 확인되었으며 열처리 후에는 peak의 intensity가 강하게 나타났다. TiO_2 5.7nm 에서는 열처리 후에서만 anatase peak이 확인되었고 TiO_2 4.1nm 에서는 이전 실험의 결과와 마찬가지로 열처리 전과 후에 모두 확인 되지 않았다. 다음의 결과를 통하여 ZAT 유전막내에서 5nm이상의 두께의 TiO_2 박막은 anatase($k \sim 40$)

결정구조를 갖고 있음을 확인하였으며 유전상수 평가 결과에서 나온 k 값 40.9와도 일치함을 확인 할 수 있었다.

5nm이하의 얇은 박막에서 TiO_2 결정구조를 확인하기 위하여 Figure 4.12에서와 같은 구조로 ZAT 9nm(TiO_2 4.5nm)의 유전막을 3단으로 연속 적층하여 분석하였다. 이는 9nm ZAT와 같은 두께로 동일 공정환경에서 분석장비로 측정되는 TiO_2 의 두께를 늘림으로써 GAXRD의 검출능력을 높이하고자 하였다. 전극막인 TiN peak의 영향성을 배제하기 위하여 Si 기판위에 유전막만 제작하였다. Figure 4.12의 GAXRD 결과에서 확인 할 수 있듯이 3단 적층 시료에서 열처리 후에 25.3° 부근에서 anatase peak를 검출 할 수 있었다.

높은 정전용량의 ZAT 유전막내의 TiO_2 박막은 bulk 유전상수 40.9을 갖고 있으며 다양한 두께의 결정구조 분석을 종합적으로 보면 유전상수 값이 40인 anatase상으로 확인되었다. 또한 열처리 공정에 의하여 TiO_2 박막이 anatase상으로 결정화되는 것을 확인하였다.

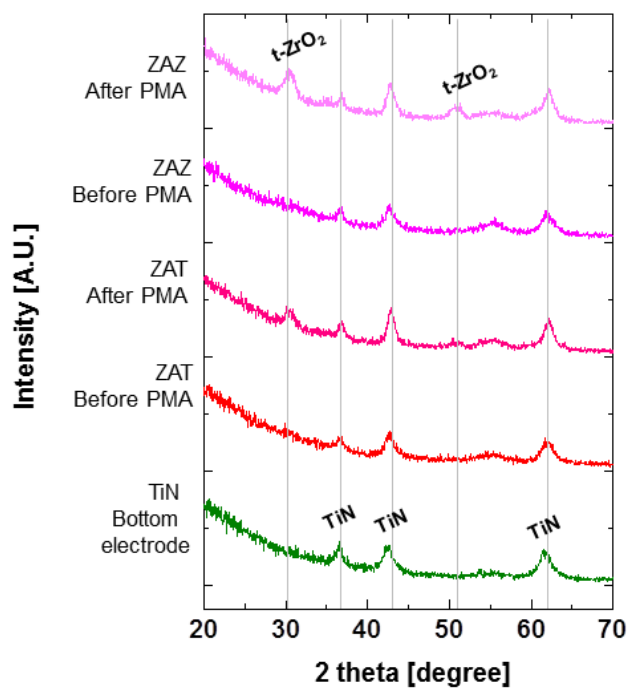
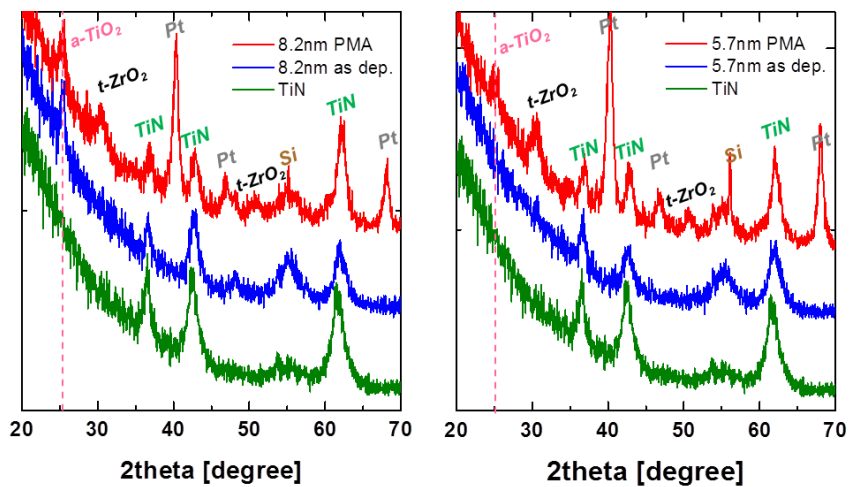
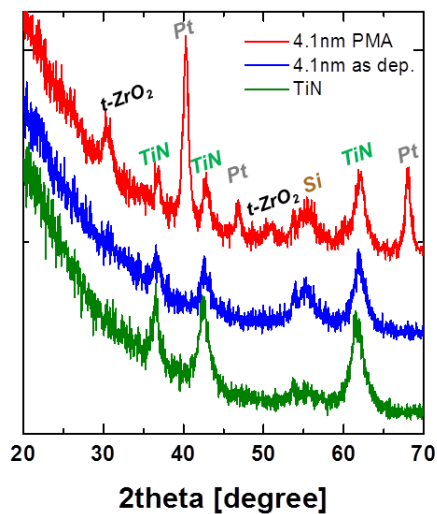


Figure 4.10 9nm 두께의 ZAZ와 ZAT 유전막의 XRD 분석 결과



(a) TiO₂ 8.2nm

(b) TiO₂ 5.7nm



(c) TiO₂ 4.1nm

Figure 4.11 ZAT 유전막내의 TiO₂ 박막의 두께별 XRD 분석 결과

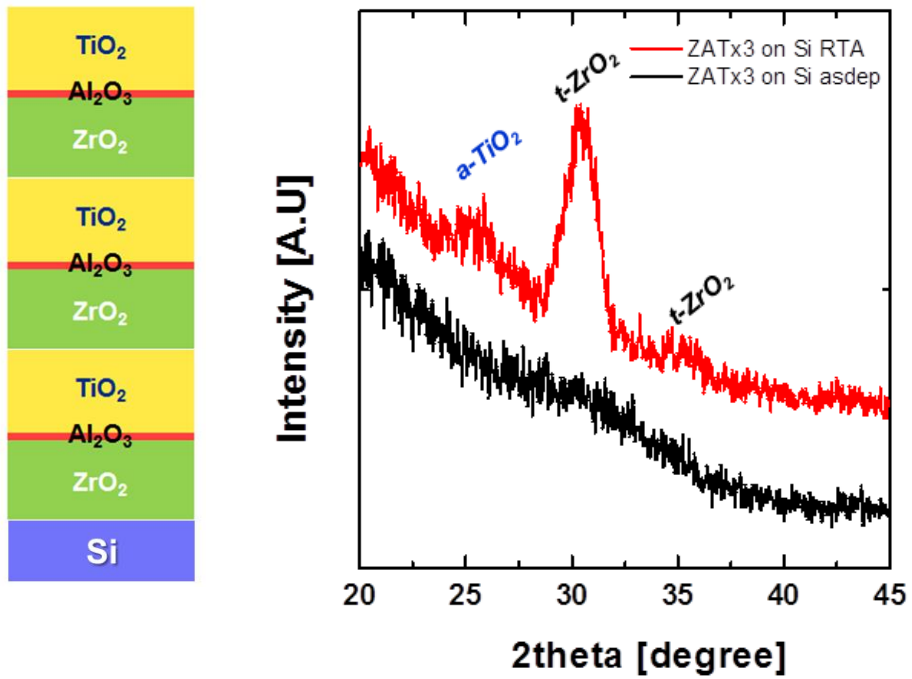


Figure 4.12 ZAT 유전막의 3단 적층 구조 와 XRD 분석 결과

4.2.3 ZAT 유전막의 구조 분석

TiN/ZAT/TiN 구조에서 결정구조 분석을 통하여 열처리 후 ZrO_2 와 TiO_2 박막이 결정화 되고 더 높은 정전용량을 갖게 됨을 알 수 있었다. AFM(atomic force microscopy)을 통하여 열처리 전과 후의 ALD박막 표면의 거칠기(roughness)를 분석하고 TEM(transmission electron microscope) 분석을 통하여 실제 유전막의 구조 분석과 결정구조를 확인하였다.

Figure 4.13은 원자력현미경 (AFM)을 이용하여 촬영한 ZAZ와 ZAT 유전막을 열처리 전과 후의 표면 이미지이다. 이미지로 비교할 때는 큰 차이를 보이지 않지만 RMS 값을 이용하여 비교하면 ZAT 유전막의 표면 거칠기(roughness)는 열처리 전, 후에 ZAZ 시료에서는 0.589nm, 0.535nm 이며 ZAT 시료에서는 0.470nm, 0.385nm 로 측정되었다. 열처리 공정 후 거칠기가 다소 낮아지는 것을 볼 수 있으며 비교적 낮은 거칠기 수준으로 ALD 공정을 이용한 복합유전막이 균일하게 증착 됨을 확인하였다.

열처리(RTA) 공정을 한 9nm TiN/ZAT/TiN 소자로 TEM 분석을 진행하였으며 전체 박막을 분석하기 위하여 수직면으로 시료를 제작하였다. Figure 4.14는 MIM 구조를 확인 할 수 있는 이미지로써 상하부 전극과 유전막의 경계가 명확히 구분되면 유전막 내에서도 ZrO_2 와 TiO_2 의 층이 나뉘어져 구성됨을 확인하였다. Al_2O_3 는 매우 얇은 0.3nm 두께의 막질로 TEM 이미지에서는 확인되지 않았다. Figure 4.14에서 볼 수 있듯이 ZAT 유전막의 ZrO_2 박막과 TiO_2 박막이

대부분 결정화된 것을 확인 할 수 있었다. Table 4.1은 FFT(fast fourier transform)분석을 통하여 일부 면간 거리를 확보하여 분석하였고 JCPSD(Joint Committee on Powder Diffraction Standards) card 값을 기준으로 결정상을 분석하였다. TiO_2 박막은 FFT 분석 결과 평균 3.5\AA 의 면간거리를 나타냈으며 이는 anatase의 [101]면의 거리인 3.52\AA 과 동일하였다. 아울러 ZrO_2 와 TiN 박막도 FFT 분석에서 각각 2.95\AA , 2.12\AA 로 측정되었으며 이는 tetragonal [101]면 2.94\AA 과 TiN [200]면인 2.12\AA 로 일치함을 확인하였다. GAXRD를 통한 결정구조 실험의 결과와도 동일하게 anatase상의 TiO_2 와 tetragonal 상의 ZrO_2 로 확인하였다.

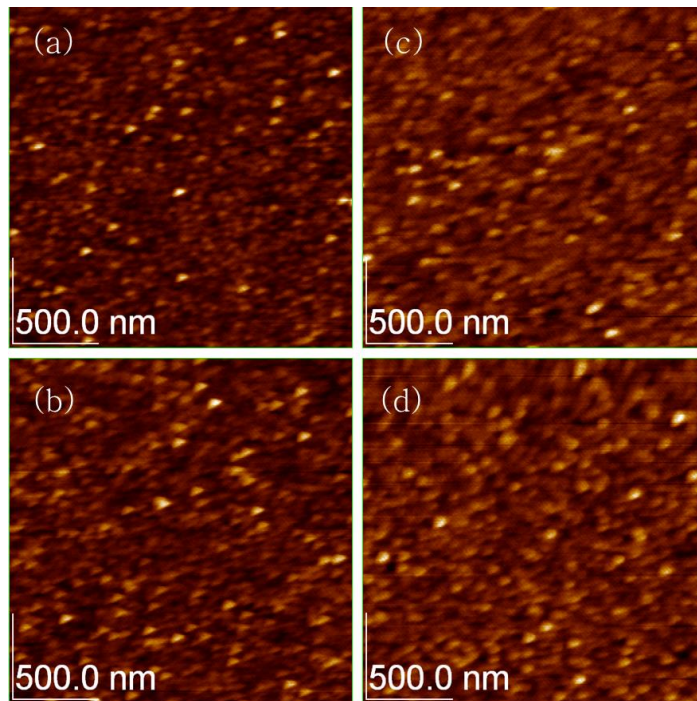


Figure 4.13 (a)ZAZ 열처리전 (b) ZAZ 열처리후 (c)ZAT 열처리전
(d) ZAT 열처리 후 박막의 AFM 이미지 결과

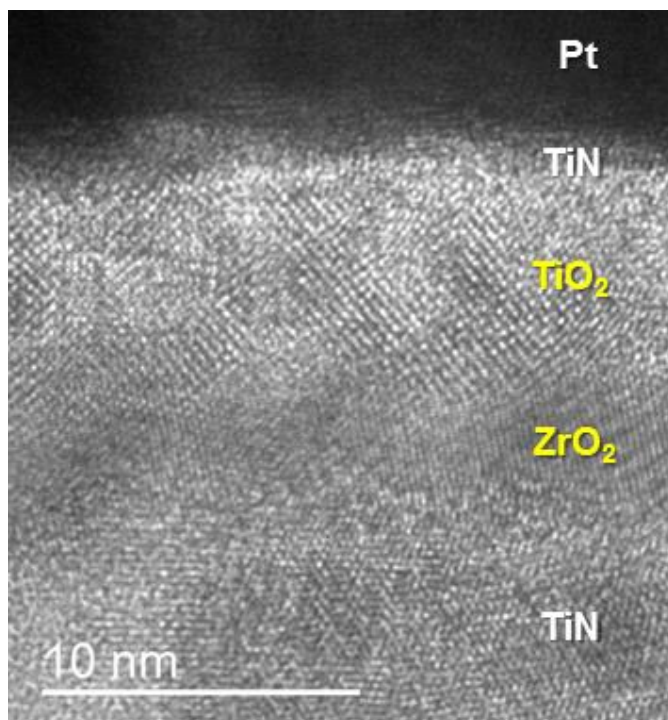


Figure 4.14 TiN-ZAT-TiN 유전막의 TEM 이미지 결과

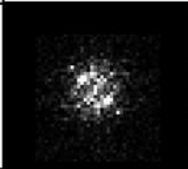
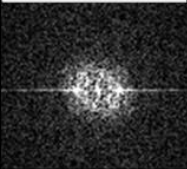
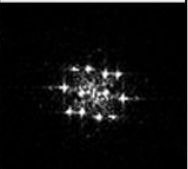
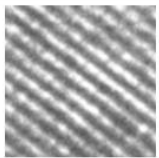
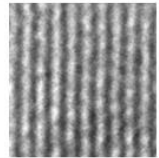
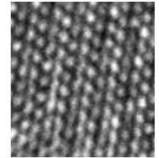
Layer	TiO ₂	ZrO ₂	TiN
FFT pattern			
면간 거리 측정값	3.5 Å	2.95 Å	2.12 Å
면간 거리 jcpds 값	[1 0 1] 3.52 Å	[1 0 1] 2.94 Å	[2 0 0] 2.12 Å
측정 결정면 이미지			

Table 4.1 ZAT 유전막의 투과전자현미경을 이용한 FFT 패턴 분석
결과

4.3 DRAM Capacitor 적용을 위한 전기적 특성 개선

DRAM Capacitor는 공정미세화에 따라서 유전막의 두께는 얇아지고 이에 따라서 유전막이 얇아질수록 터널링 효과(Tunneling Effect)로 인하여 누설전류가 증가하게 된다. 따라서 유전막은 등가 산화막 두께와 누설전류는 가장 중요한 전기적 특성이다. 신규 유전막인 ZAT는 박막화된 유전체에서도 TiO_2 의 anatase 결정구조로 인하여 유전상수 40을 갖고 이에 따라서 높은 정전용량을 갖고 있음을 확인하였다. 하지만 열처리 공정과 박막화에 따라서 높은 누설전류 특성을 갖고 있다는 한계점이 있었다. ZAZ 유전막에서도 누설전류 문제를 해결하고자 절연 특성을 갖는 비정질의 Al_2O_3 박막을 ZrO_2 박막 사이에 삽입하였다. 비정질의 Al_2O_3 막질은 ZrO_2 의 박막 중간에 존재함으로써 결정화가 방해되어 결정립계(grain boundary)의 성장이 억제되고 전하가 결정립계를 따라 이동하여 빠져나가 누설전류의 발생을 막는 역할을 한다. 하지만 물리적 두께가 매우 얇아질 경우에는 절연 효과가 사라지기도 한다.^[17]

ZAT 박막화 실험의 결과를 바탕으로 물리적 두께를 최소로 낮추면서 얇은 등가 산화막 두께와 최적의 누설전류 특성을 얻고자 특성 개선 평가를 진행하였다. 앞의 실험은 모두 ZrO_2 와 TiO_2 의 물리적 두께가 같도록 1:1 비율로 유전막을 증착하였으므로 ZrO_2 와 TiO_2 의 비율 변화에 따른 특성 거동을 확인하는 평가를 하였다. 또한 절연 효과가 뛰어난 Al_2O_3 의 두께와 위치에 따라서 ZAT, ZATA, ZTA 등의 다양한 유전막 적층구조에 대하여 실험하였다. 본 실험에서는 최소의 EOT값에서 10^{-7}A/cm^2 이하의 누설전류밀도를 전기적 특성의 기준으로 삼고 DRAM Capacitor에 적용 가능한 조건 최적화를 목표로 하였다.

4.3.1 ZrO₂층과 TiO₂층의 두께 비율에 따른 특성

누설전류의 특성 한계를 극복하기 위한 개선 평가는 ZrO₂막질의 두께비를 높이고 TiO₂ 두께를 낮춤으로써 Band gap이 8.9eV로 높은 ZrO₂ 박막의 누설전류 감소 효과를 얻고자 하였다. 전체 유전막의 두께는 9nm이며 ZrO₂와 TiO₂의 두께 비율은 2:1로 설정하였다. Al₂O₃ 박막은 낮은 유전상수($k \sim 9$)를 갖기 때문에 정전용량 감소가 예상되므로 동일한 두께로 시료를 제작하였다. Figure 4.15에서는 J-EOT 그래프를 통하여 [2:1] 비율의 ZAT 유전막의 특성을 표시하였다. 열처리 후를 비교해보면 [1:1]_ZAT보다 [2:1]_ZAT의 누설전류 특성이 3 order 향상되었으며 10^{-8}A/cm^2 이하로 확인되지만 높은 유전율을 갖는 TiO₂층의 감소로 인하여 등가 산화막 두께가 0.67nm에서 0.85nm로 높아졌다. 두께비의 변화로 누설전류를 낮출 수 있다는 사실을 확인하였으며 이를 활용하여 더 얇은 유전막에서 적용하여 실험하였다.

총 두께 5nm에서는 열처리 후 ZAZ도 낮은 누설전류특성을 보였기 때문에 7nm에서 두께비 변화로 인한 개선 가능성을 확인하였다. Figure 4.16은 열처리 전의 7nm [2:1] 비율의 ZAT 실험 결과이다. [1:1]_ZAT의 누설전류밀도와 등가 산화막 두께는 10^{-9}A/cm^2 , 1.01nm 수준이었고 [2:1]_ZAT는 10^{-9}A/cm^2 , 1.12nm 수준으로 누설전류는 양호하였지만 EOT가 증가하였다. Figure 4.16은 열처리 후의 7nm에서 [2:1] 비율의 ZAT 실험 결과이다. [1:1]_ZAT의 누설전류밀도와 등가 산화막 두께는 10^{-3}A/cm^2 , 0.6nm 이었고 [2:1]_ZAT는 10^{-4}A/cm^2 , 0.59nm 로 누설전류는 1 order

감소하였지만 여전히 높은 수준의 특성을 가지고 있었다.

ZrO₂와 TiO₂의 두께비 변경을 통하여 누설전류 특성을 개선하는 실험은 전체 유전막 두께가 9nm에서는 효과를 나타냈지만 등가 산화막도 0.2nm 증가하는 부작용도 있었다. 하지만 ZAZ보다 0.4nm의 EOT를 낮추면서 낮은 누설전류를 갖는 점은 주목할 결과이다. 전체유전막 두께 7nm에서는 두께비에서는 J-EOT 그래프의 추세선으로 유추해보면 두께비를 적절히 조절하면 누설전류밀도 10^{-7}A/cm^2 기준으로 EOT 0.76nm의 특성이 가능할 것으로 예상된다. 이상적인 두께 비율을 실현하여 실험하지 못하였지만 막질의 두께비 변화로 누설전류 개선의 가능성을 확인하였으며 최적화된 전기적 특성을 예측해보았다.

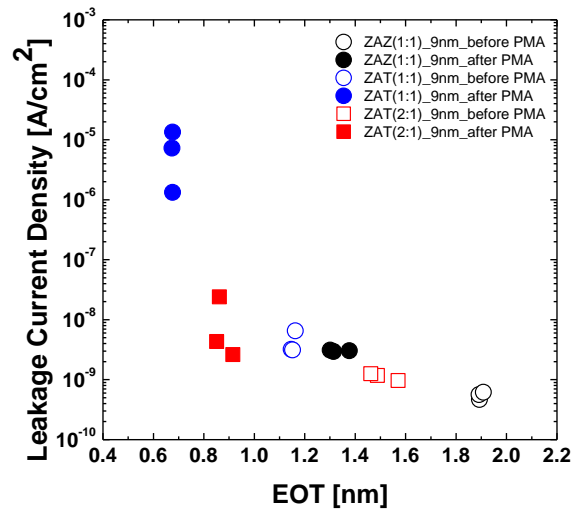


Figure 4.15 ZrO₂와 TiO₂의 두께비를 2:1로 변경한 ZAT와 ZAZ의
등가 산화막에 따른 누설전류밀도 그래프(J-EOT plot)

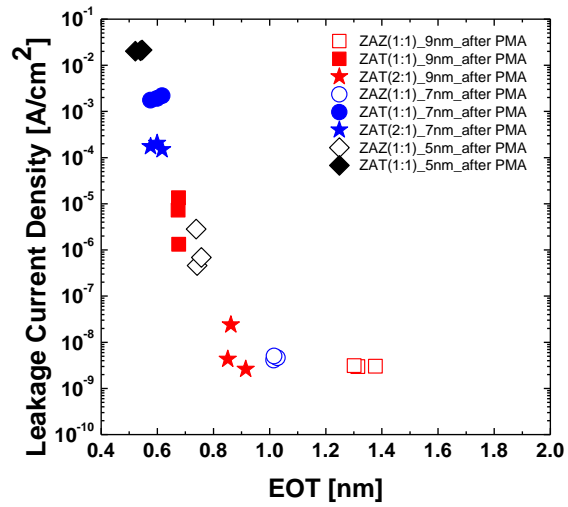
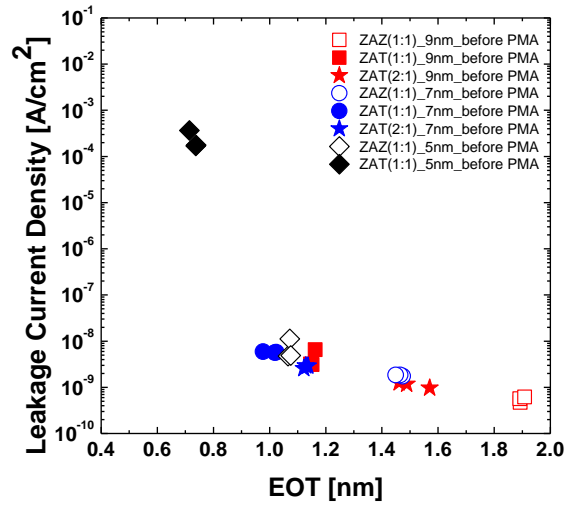


Figure 4.16 두께비 2:1로 유전막 전체두께를 변경한 ZAT와 ZAZ의 열처리 전,후 등가 산화막 두께와 누설전류밀도 그래프(J-EOT plot)

4.3.2 Al₂O₃ 층의 위치와 두께에 따른 누설전류 특성

ZAT 유전막에서 Al₂O₃ 층의 위치와 두께에 따라서 누설전류의 특성이 변화함은 많은 연구를 통하여 보고되었다. 특히 Al-doped TiO₂ 유전막에서는 Al₂O₃ 박막의 위치만으로도 누설전류의 특성이 변화되는 것이 보고되어 이를 적용하여 ZAT의 누설전류 특성도 향상시키고자 하였다.^[18]

실험 설계는 Figure 4.17 과 같이 Al₂O₃의 두께와 위치를 조절하여 총 6 가지의 수정된 ZAT 유전막을 평가하였다. Table 4.2의 증착 조건표를 보면 모두 약 6~7nm의 전체 두께로 증착하였으며 기존 ZAT에서는 2cycle(0.2nm)의 Al₂O₃ 막질을 사용하였다. 우선 약 7nm 두께의 ZAT 적층구조를 기준으로 Al₂O₃의 두께를 7cycle로 상향(a)하였으며, ZrO₂ 층의 두께비를 상향 후 위아래로 추가 3cycle씩 삽입(b)하는 평가와 TiO₂ 층의 두께비를 상향 후 위아래로 추가 3cycle씩 삽입(c)하였다. ATO(Al₂O₃ doped TiO₂)의 연구 보고를 바탕으로 상부전극 바로 아래에 2cycle 삽입(d), TiO₂ 층의 위아래에 각 1cycle씩 삽입(e), TiO₂ 층의 중간에만 2cycle을 삽입(f)한 구조로 평가하였다.

Figure 4.18은 열처리 전의 J-EOT 그래프이다. 누설전류밀도를 보면 ZAT(Al₂O₃ 7cycle)(a), ZAZAT(b), ZATAT(c)의 경우 10⁻⁷A/cm² 이하의 수준을 보이므로 양호하나 1:1 두께비의 ZAT 유전막 대비 EOT가 향상되지 못한 부분이 아쉽다. Figure 4.19는 열처리 후의 J-EOT 그래프이다. ZTA(d)는 0.4nm의 낮은 EOT를 갖지만 매우 높은 누설전류를 문제점으로 나타냈다. ZAZ를 제외한 모든 평가 시료에서 높은

누설전류 특성이 확인되었다. ZAT(7cycle)은 Al_2O_3 두께 상향으로 누설 전류 감소 효과를 확인하였으나 Al_2O_3 의 낮은 유전상수($k \sim 9$)로 등가 산화막 두께도 높아짐을 보였다. Al_2O_3 의 삽입위치로 누설전류를 낮추고자 했던 실험은 ZrO_2 와 TiO_2 박막의 중간에 Al_2O_3 를 추가 삽입함으로써 결정화 문제로 큰 효과를 보지 못하였다. 하지만 Al_2O_3 의 두께 조절로 누설전류 특성을 향상시킬 수 있음을 확인 할 수 있었다.

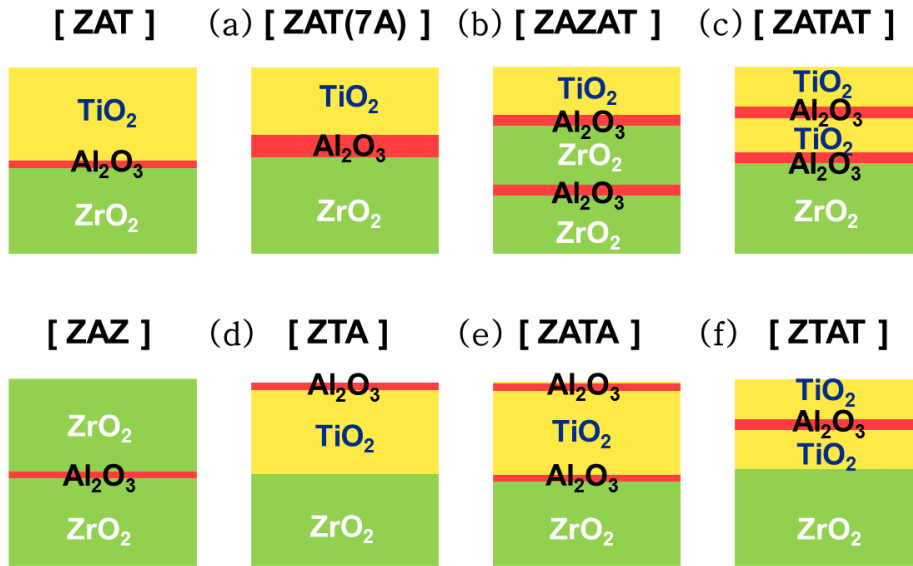


Figure 4.17 ZAT 유전막에서 Al_2O_3 막질의 두께와 위치를 평가한 적층 구조 그림.

Name	Dielectric material	Target thickness (nm)	Cycle sequence
ZAT (7A)	$\text{ZrO}_2\text{-Al}_2\text{O}_3\text{-TiO}_2$	6.4	40-7-75
ZAZAT	$\text{ZrO}_2\text{-Al}_2\text{O}_3\text{-ZrO}_2\text{-Al}_2\text{O}_3\text{-TiO}_2$	6.6	21-3-21-3-78
ZATAT	$\text{ZrO}_2\text{-Al}_2\text{O}_3\text{-TiO}_2\text{-Al}_2\text{O}_3\text{-TiO}_2$	6.4	33-3-55-3-55
ZTA	$\text{ZrO}_2\text{-TiO}_2\text{-Al}_2\text{O}_3$	6.4	32-116-2
ZATA	$\text{ZrO}_2\text{-Al}_2\text{O}_3\text{-TiO}_2\text{-Al}_2\text{O}_3$	6.4	32-1-116-1
ZTAT	$\text{ZrO}_2\text{-TiO}_2\text{-Al}_2\text{O}_3\text{-TiO}_2$	6.5	32-60-2-60

Table 4.2 Al_2O_3 막질의 두께와 위치를 평가한 시료의 증착 조건표

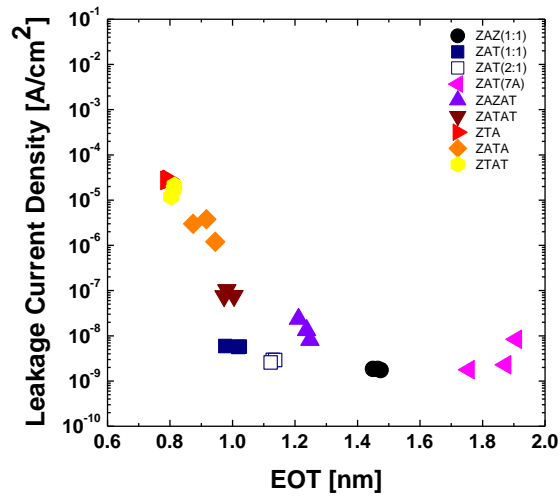


Figure 4.18 Al_2O_3 막질의 두께와 위치에 따른 열처리 전 ZAT 유전막의 J-EOT 그래프

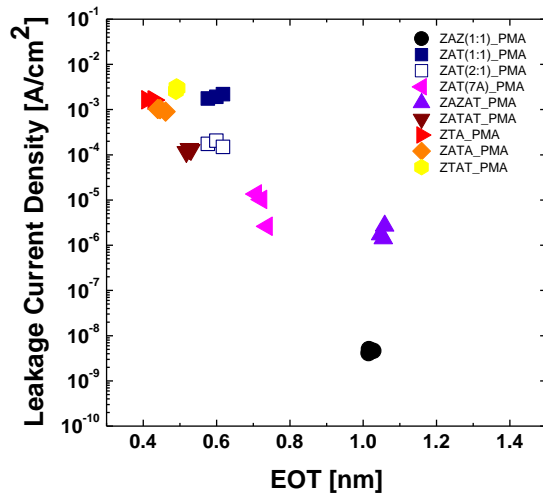


Figure 4.19 Al_2O_3 막질의 두께와 위치에 따른 열처리 후 ZAT 유전막의 J-EOT 그래프

4.3.3 ZAT 유전막의 적층구조 최적화 평가

앞서 ZAT 유전막의 얇은 등가 산화막 두께와 낮은 누설전류 특성을 갖도록 유전막의 두께비와 Al_2O_3 의 두께 및 위치 변화를 통하여 평가하였다. 최적화된 두께의 적층구조를 실험하고자 이전 실험 결과와 J-EOT 그래프를 통하여 실험 설계를 진행하였다. 전체 유전막 두께를 7.5nm, 9nm로 Table 4.3의 증착 조건표와 같이 시료를 제작하였다.

Figure 4.20은 열처리 전의 J-EOT 결과이다. 앞의 실험 결과와 비교해볼 때 낮은 누설전류 특성을 보이지만 Al_2O_3 두께를 향상하고 박막의 총 두께도 높인 결과 1.3nm 수준의 EOT 값을 나타냈다. Figure 4.21은 열처리 후의 J-EOT 결과이다. ZAT 9nm에서 두께비 2:1의 시료가 0.85nm의 EOT와 $10^{-8}\text{A}/\text{cm}^2$ 의 누설전류 값을 갖는다. 물리적 두께 7.5nm의 시료에서 이보다 낮은 EOT를 확인 할 수 있었다. ZAT는 EOT 0.68nm에서 $10^{-8}\text{A}/\text{cm}^2$ 의 낮은 수준의 누설전류 특성을 확보하였다. 이는 7nm ZAZ의 1.01nm EOT보다 우수한 특성을 나타낸다. 이와 같이 ZAT 유전막내의 ZrO_2 와 TiO_2 두께비를 최적화하고 Al_2O_3 박막 효과를 적절히 활용하면 더욱 향상된 전기적 특성을 갖는 유전막 연구가 가능할 것이다. 이 실험을 통하여 ZAT 유전막이 차세대 DRAM Capacitor의 ZAZ 유전막을 대체할 수 있는 가능성을 확인 할 수 있었다.

Name	Dielectric material	Target thickness (nm)	Cycle sequence
ZAT_9nm_LKG1	$\text{ZrO}_2\text{-Al}_2\text{O}_3\text{-TiO}_2$	9.0	52-4-130
ZAT_9nm_LKG2	$\text{ZrO}_2\text{-Al}_2\text{O}_3\text{-TiO}_2$	9.1	60-5-99
ZAT_7.5_LKG	$\text{ZrO}_2\text{-Al}_2\text{O}_3\text{-TiO}_2$	7.4	44-7-100

Table 4.3 적층구조 최적화 평가 시료의 증착 조건표

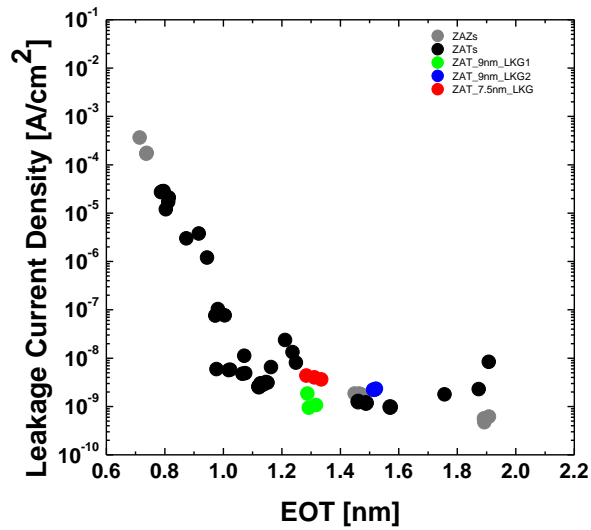


Figure 4.20 적층구조 최적화 실험의 열처리 전 ZAT 유전막 J-EOT 그래프

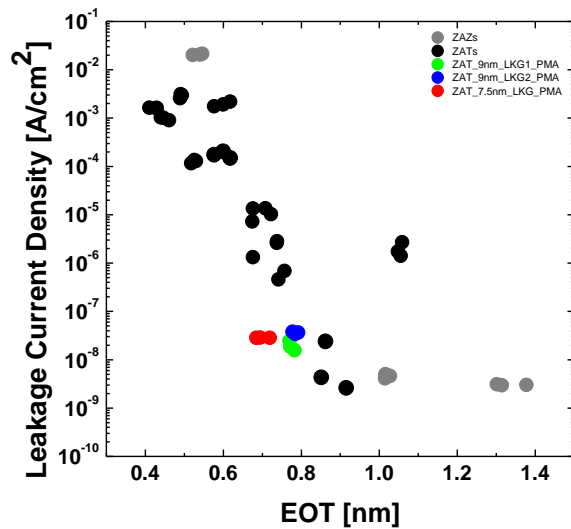


Figure 4.21 적층구조 최적화 실험의 열처리 후 ZAT 유전막 J-EOT 그래프

5. 결론

본 연구는 DRAM 의 Capacitor 에서 유전막으로 사용중인 ZAZ($\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{ZrO}_2$) 유전막 보다 우수한 특성을 갖도록 TiO_2 물질을 적용한 ZAT($\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{TiO}_2$) 유전막을 연구하였다. 이 유전막은 ALD 공정을 통하여 증착하고 전기적, 구조적 특성에 대하여 분석하였다. DRAM 의 공정미세화로 인하여 ZAZ 유전막이 한계에 부딪히고 있으며 현재 연구되고 있는 많은 고유전율 물질의 적용은 공정온도, 전극 변경 등의 많은 숙제가 있다. 이에 따라 기존 TiN-ZAZ-TiN 공정에서 TiO_2 막질만을 적용함으로써 제품 전환 효율을 높이고 새로운 유전막 도입의 위험을 줄일 수 있을 것이다.

우선 ZAZ 대비 ZAT 유전막이 전기적 특성이 우수한지 비교하고자 ZrO_2 와 TiO_2 의 두께를 1:1 로 설정하고 9nm 두께에서 전기적 특성을 평가하였다. 그 결과 9nm 의 ZAT 는 1.14nm 의 등가 산화막 두께로 ZAZ 보다 0.75nm 나 낮은 두께에서 우수한 누설전류 특성을 나타냈다. 이를 통하여 ZAT 유전막으로 전기적 특성을 향상시킬 수 있다는 점을 확인하였다. 이후 박막화 평가를 통하여 7nm 와 5nm 에서의 ZAZ 와 ZAT 유전막의 전기적 특성 거동을 확인하였다. 7nm 와 5nm 두께에서는 1.44nm, 1.01nm 의 등가 산화막 두께를 갖고 있으며 5nm 두께에서는 전체 유전막이 얇아짐에 따라서 $10^{-4}\text{A}/\text{cm}^2$ 의 높은 누설전류 특성이 확인되었다. 열처리(RTA)공정을 통하여 유전막의 결정화를 돕고자 하였다. 열처리 공정에 따라서 ZAZ 와 ZAT 모두 정전용량이 높아짐을 확인하였으며 ZAT 는 상승폭이 더욱 크게 나타났다. 이는 TiO_2 층이 ZrO_2 보다 높은 유전율을 갖고있음을 의미하지만 5, 7,

9nm 모두 누설전류 특성이 열화되었다.

ZAT 의 높은 정전용량의 원인을 TiO_2 로 판단하고 TiO_2 박막의 결정구조를 확인하는 분석을 진행하였다. TiO_2 는 anatase 와 Rutile 상으로 존재가능하며 각각의 유전상수는 40, 80~120 을 나타내므로 어떤 결정구조가 낮은 EOT 에 기인하였는지 분석이 필요하였다. 우선 하부 유전막인 ZrO_2 와 Al_2O_3 의 두께를 고정하고 TiO_2 층의 유전율을 확인하였다. TiO_2 를 2.5 ~8.2nm 로 세분화하여 각 시료의 등가 산화막 두께를 측정하고 물리적 두께에 따라서 도시화하였다. 이 그래프의 기울기를 통하여 ZAT 의 TiO_2 박막 유전상수는 40.9 임을 확인하였고 각 두께별 XRD 분석 결과 5nm 이상에서는 열처리후 anatase 결정구조를 확인하였다. 하지만 5nm 이하에서 결정상을 확인하기 위하여 TEM 분석과 ZAT 3 단 적층 평가를 진행하였다. 이를 통하여 TiO_2 층의 결정화 이미지를 확인 할 수 있었으며 FFT 분석을 통하여 3.5Å의 anatase 면간거리와 동일한 결과를 얻었다. 9nm ZAT 를 연속 3 단 적층하여 XRD 검출력을 높여 anatase 결정구조 peak 를 확인하였다. 이와 같은 분석을 통하여 TiO_2 의 박막이 anatase 결정구조를 갖고 있다는 결과를 도출하였다.

ZAT 의 우수한 등가 산화막 두께에도 불구하고 높은 누설전류 특성을 개선하고자 유전막내 두께비 변화, Al_2O_3 두께 위치 변화를 통하여 방안을 도출하였다. 9nm 두께에서는 열처리 후 ZrO_2 가 더 두꺼운 2;1의 비율에서 누설전류 특성을 얻을 수 있었다. Al_2O_3 삽입 실험을 통하여 다양한 위치에 삽입하였지만 2cycle 의 Al_2O_3 두께로는 누설전류감소 효과를 크게 얻지 못하였다. 결국 유전막의 총두께와 Al_2O_3 두께 변화를 최적화하여 7.5nm 두께의 ZAT 에서 Al_2O_3 를 7cycle 증착하여

EOT 0.68nm, 누설전류 10^{-8}A/cm^2 (@ +0.8V)의 특성을 확보하였으며 ZAZ 유전막보다 전기적 특성이 크게 개선되었다.

본 연구를 통하여 한계에 봉착한 DRAM capacitor 의 ZAZ 유전막을 대체할 차세대 유전막으로써 ZAT 의 전기적, 구조적 특성을 확인 할 수 있었다. 동일한 공정조건으로 ZAZ 와 ZAT 를 비교함으로써 anatase 상의 TiO_2 박막 적용으로 더 높은 정전용량을 확보할 수 있으며 두께비와 Al_2O_3 박막을 활용하여 더욱 최적화된 유전체 소자를 얻을 수 있을 것이다. 향후 열처리 조건의 여러가지 평가와 RuO_2 , Ru 등의 새로운 전극막 적용으로 새로운 특성 향상 가능성도 확인 할 수 있을 것이다.

참고문헌

- [1] R. G. Gordon, “A kinetic Model for Step Coverage by Atomic Layer Deposition in Narrow Holes or Trenches,” Chem. Vap. Deposition, 9 [6] 73–78 (2003)
- [2] M. Knez, “Synthesis and surface engineering of complex nanostructures by atomic layer deposition,” Adv. Mater, 19 [14] 3425–38 (2007)
- [3] George, S. M. Atomic layer deposition: an overview. Chemical reviews 110, 111–131 (2009).
- [4] Puurunen, R. L. Surface chemistry of atomic layer deposition: A case study for the trimethylaluminum/water process. Journal of applied physics 97, 9 (2005).
- [5] E Langereis, “In situ spectroscopic ellipsometry as a versatile tool for studying atomic layerdeposition” , J. Phys. D: Appl. Phys. 42 073001 (209)
- [6] X. Zhao, D. Vanderbilt, “First–principles study of structural, vibrational, and lattice dielectric properties of hafnium oxide” , Phys. Rev. B, 65, pp. 075105 (2002)
- [7] S.–Y. Lee, “Atomic layer deposition of ZrO₂ on W for metal–insulator–metal capacitor application” , Appl.Phys. Lett., 82(17), pp. 2874 (2003)
- [8] M. Cassir, F. Goubin, C. Bernay, P. Vernoux, D.Lincot, “Synthesis of ZrO₂ thin films by atomic layerdeposition: growth kinetics, structural and electrical properties” , Appl. Sur. Sci., 193, pp. 128 (2002)

- [9] Steve Knebel, “Conduction Mechanisms and Breakdown Characteristics of Al₂O₃ Doped ZrO₂ High-k Dielectrics for Three Dimensional Stacked Metal-Insulator-Metal Capacitors”, IEEE TRANSACTIONS ON DEVICE AND MATERIALS RELIABILITY, VOL. 14, NO. 1, MARCH (2014)
- [10] Arnaud Furnemont, “Emerging memories for the zettabyte era”, imec magazine september 2018
- [11] Seong Keun Kim, “Growth Behavior of Al-Doped TiO₂ Thin Films by Atomic Layer Deposition”, Chemistry of Materials, 11, 20, 3723–3727 (2008)
- [12] Mikami M, “Lattice dynamics and dielectric properties of TiO₂ anatase : a first-principles study”, Physical Review B 66, 155213 (2002).
- [13] Diebold, U. “The surface science of titanium dioxide”, Surface science reports 48, 53–229 (2003).
- [14] M Mohamad, “A density functional study of structural, electronic and optical properties of titanium dioxide: Characterization of rutile, anatase and brookite polymorphs”, Materials Science in Semiconductor Processing Volume 31, March 2015, Pages 405–414 (2015)
- [15] J. Robertson and R. Wallace, "High-K materials and metal gates for CMOS applications," Materials Science and Engineering: R: Reports, vol. 88, p. 1–41, February (2015)
- [16] D Martin, Macroscopic and microscopic electrical characterizations of high-k ZrO₂ and ZrO₂ / Al₂O₃ / ZrO₂ metal–

insulator-metal structures , Journal of Vacuum Science & Technology B 29, 01AC02 (2011)

[17] X. Zhao, and D. Vanderbilt, “Phonons and lattice dielectric properties of zirconia” , Phys. Rev. B, 65 [10] 07510-1-10 (2002)

[18] Woojin Jeon, “Asymmetry in electrical properties of Al-doped TiO₂ film with respect to bias voltage, Physica Status Solidi R.R.L., 7, 9, 410-413 (2015)

List of Publications

Journal papers

1. Sang Hyeon Kim, Woongkyu Lee, Cheol Hyun An, Dae Seon Kwon, Dong-Gun Kim, **Soon Hyung Cha**, Seong Tak Cho, and Cheol Seong Hwang, “Effect of Growth Temperature During the Atomic Layer Deposition of the SrTiO₃ Seed Layer on the Properties of RuO₂/ SrTiO₃/Ru Capacitors for Dynamic Random Access Memory Applications” , ACS Appl. Mater. Interfaces, 10, 41544 (2018)
2. Cheol Hyun An, Woongkyu Lee, Sang Hyeon Kim, Cheol Jin Cho, Dong-Gun Kim, Dae Seon Kwon, Seong Tak Cho, **Soon Hyung Cha**, Jun Il Lim, Woojin Jeon*, and Cheol Seong Hwang*, “Controlling the Electrical Characteristics of ZrO₂/Al₂O₃/ZrO₂ Capacitors by Adopting a Ru Top Electrode Grown via Atomic Layer Deposition”, Phys. Status Solidi. RRL. DOI: 10.1002/pssr.201800454 (2018)

Conferences

1. **Soon Hyung Cha**, Cheol Hyun An, Sang Hyeon Kim, Dong Gun Kim, Dae Seon Kwon, Seong Tak Cho and Cheol Seong Hwang, “Structure and Electrical Properties of TiO₂/Al₂O₃/ZrO₂ Films Grown via Atomic Layer Deposition on TiN Electrodes” , 233rd ECS Meeting, Seattle, May 13–17 (2018)

2. Soon Hyung Cha, Cheol Hyun An, Sang Hyeon Kim, Dae Seon Kwon, Seong Tak Cho, and Cheol Seong Hwang, “Atomic Layer Deposition of $\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{TiO}_2$ thin films with high dielectric constant on TiN substrates for DRAM capacitors” , E-MRS 2018, Warsaw (Poland), Sep 17–20 (2018)
3. Soon Hyung Cha, Cheol Hyun An, Sang Hyeon Kim, Dong gun Kim, Dae Seon Kwon, Seong Tak Cho and Cheol Seong Hwang, “MIM capacitor based on $\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{TiO}_2$ dielectric for DRAM devices” , 제 25회 한국 반도체 학술대회, 강원 하이원리조트, 2018년 2월 5일–7일
4. Dae Seon Kwon, Cheol Hyun An, Sang Hyeon Kim, Hoju Song, Seong Tak Cho, Soon Hyung Cha and Cheol Seong Hwang, “Atomic layer deposition of Ru thin films using new Ru precursor” , E-MRS 2017, Warsaw (Poland), September 18–21 (2017)
5. Cheol Hyun An, Sang Hyeon Kim, Dae Seon Kwon, Soon Hyung Cha, Sung Tak Cho and Cheol Seong Hwang, “Atomic layer deposition(ALD) of Ru thin film on $\text{Ta}_2\text{O}_5/\text{Si}$ substrate using RuO_4 precursor and H_2 gas” , IEEE EDTM 2018, Japan, March 13–16 (2018)
6. Sang Hyeon Kim, Cheol Hyun An, Dae Seon Kwon, Soon Hyung Cha, Seong Tak Cho and Cheol Seong Hwang, “Electrical Properties of Al-Doped SrTiO_3 films grown via Atomic Layer Deposition on Ru Electrodes” , 233rd ECS Meeting, Seattle, May 13–17 (2018)

7. Seong Tak Cho, Cheol Hyun An, Sang Hyeon Kim, Dong Gun Kim, Dae Seon Kwon, Soon Hyung Cha and Cheol Seong Hwang, “Electrical and structural properties of $\text{ZrO}_2/\text{Y}_2\text{O}_3/\text{ZrO}_2$ dielectric film for DRAM capacitor” , 233rd ECS Meeting, Seattle, May 13–17 (2018)
8. Cheol Hyun An, Woongkyu Lee, Sang Hyeon Kim, Dae Seon Kwon, Soon Hyung Cha, Seong Tak Cho, and Cheol Seong Hwang, “Atomic Layer Deposition of Ru Metal Thin Film with Substrate–Dependent Growth Behavior on Ta_2O_5 Substrate” , 18th International Conference on Atomic Layer Deposition, Incheon, South Korea, July 29 – August 1 (2018)
9. Dae Seon Kwon, Cheol Hyun An, Sang Hyeon Kim, Hoju Song, Seong Tak Cho, Soon Hyung Cha, Taishi Furukawa, Teppei Hayakawa, Kazuhisa Kawano and Cheol Seong Hwang, “Atomic Layer Deposition of Ru Thin Film using ‘Rudense’ as a Ru precursor and Oxygen gas as a Reactant” , 18th International Conference on Atomic Layer Deposition, Incheon, South Korea, July 29 – August 1 (2018)
10. Sang Hyeon Kim, Cheol Hyun An, Dae Seon Kwon, Seong Tak Cho, Soon Hyung Cha and Cheol Seong Hwang, “Electrical Properties of Al–doped SrTiO_3 Films Grown by Atomic Layer Deposition on Ru Electrodes” , 18th International Conference on Atomic Layer Deposition, Incheon, South Korea, July 29 – August 1 (2018)

11. Dae Seon Kwon, Cheol Hyun An, Sang Hyeon Kim, Hoju Song, Seong Tak Cho, Soon Hyung Cha, Taishi Furukawa, Teppei Hayakawa, Kazuhisa Kawano and Cheol Seong Hwang, “Atomic layer deposition of Ru thin films using ‘Rudense’ as Ru precursor” , 제 25회 한국 반도체 학술대회, 강원 하이원리조트, 2018년 2월 5일-7일
12. Cheol Hyun An, Sang Hyeon Kim, Dae Seon Kwon, Soon Hyung Cha, Seong Tak Cho and Cheol Seong Hwang, “Atomic layer deposition of Ru thin film with enhanced growth rate on Ta₂O₅/Si substrate using RuO₄ precursor and H₂ gas” , 제 25회 한국 반도체 학술대회, 강원 하이원리조트, 2018년 2월 5일-7일
13. Seong Tak Cho, Cheol Hyun An, Sang Hyeon Kim, Dong gun Kim, Dae Seon Kwon, Soon Hyung Cha, and Cheol Seong Hwang, “MIM capacitor based on ZrO₂/Y₂O₃/ZrO₂ dielectric for DRAM devices” , 제 25회 한국 반도체 학술대회, 강원 하이원리조트, 2018년 2월 5일-7일

Abstract

Study on Electrical and Structural Characteristics of $\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{TiO}_2$ Thin Films with High Dielectric Constant for DRAM Capacitors

Soon hyung Cha

Department of Engineering Practice

Graduate School of Engineering Practice

Seoul National University

DRAM devices continued to scale-down to reach 10nm generation. As a result, the characteristics of the cell capacitor are limited, but we want to maintain higher capacitance density and lower leakage current density. At present, the ZAZ structure can not crystallize the thinned ZrO_2 layer, resulting in a problem of low dielectric constant ($k \sim 25$). High- k materials are emerging as substitutes, but there are problems such as physical thickness and complex processes.

In this experiment, ZAT ($\text{ZrO}_2 / \text{Al}_2\text{O}_3 / \text{TiO}_2$) dielectric layer, which is a next generation dielectric layer with superior electrical characteristics, is evaluated compared with the ZAZ dielectric layer currently used in DRAM devices. TiO_2 was used as a high- k

dielectric layer (anatase ~ 40 , Rutile $a \sim 90$ $c \sim 170$) to increase the capacitance. However, since it has a small band gap, it is difficult to use TiO_2 (3.4 eV) as a single dielectric layer due to the leakage current problem. Therefore, in the ZAZ structure using the TiN electrode, the ZrO_2 layer as the lower dielectric film was replaced with a TiO_2 layer which can lower the equivalent oxide thickness (EOT), while maintaining the same leakage current characteristics.

First, the ZAT and ZAT dielectric films were deposited on the TiN electrode under the same process conditions. The capacitance of the ZAT dielectric film was higher and the leakage current was also low. However, in the thin film evaluation for the process application, the leakage current characteristics gradually decreased as the total dielectric film thickness was thinly deposited. In order to lower the EOT, a heat treatment (RTA) process was applied to help crystallize the dielectric film. Although a lower EOT thickness was observed after this process, high leakage current characteristics were a problem. The high capacitance of the ZAT dielectric layer was determined to be due to the high dielectric constant of the TiO_2 thin film. The dielectric constant of the TiO_2 thin film was analyzed by physical thickness and equivalent oxide thickness graph slope. The anatase crystal structure of TiO_2 was confirmed by XRD analysis. The crystallization and thin film structure of each layer were confirmed by FFT analysis using TEM. After confirming the characteristics of the TiO_2 thin film, we have considered the electrical characteristics improvement measures based on the analyzed data. The change in thickness ratio of ZrO_2

and TiO_2 and the thickness and position of Al_2O_3 thin film were evaluated. The change of the ratio of ZrO_2 : TiO_2 thickness from 1: 1 to 2: 1 confirmed the effect of reducing the leakage current in some samples, and the effect of changing the position of Al_2O_3 thin film was insufficient. In order to optimize the electrical characteristics of ZAT, the thickness ratio was changed and the Al_2O_3 thickness was increased. As a result, the characteristics of EOT 0.68nm and leakage current $10^{-8}\text{A}/\text{cm}^2$ (@ + 0.8V) were obtained in a dielectric film having a physical thickness of 7.5 nm.

Through this study, I have analyzed the electrical and structural characteristics of ZAT as a next generation dielectric film to replace the ZAZ dielectric film of DRAM capacitors, and confirmed the possibility of obtaining a better dielectric film through optimized deposition scheme in the future.

Keywords : DRAM, Capacitor, ALD, TiO_2 , high k, ZrO_2

Student Number :2017-24863

Soon hyung Cha